DAC2163双通道,16bit,500MSPS LVDS接口数模转换器

特点

- 高动态范围、双 DAC
- 低噪声与交调失真
- 单载波 W-CDMA ACLR = 80dBc(61.44MHz 中频)
- 创新的开关输出级能够让可用输出超过奈奎斯特频率
- LVDS 输入以双端口或可选交错式单端口方式工作
- 差分模拟电流输出可以从 8.6mA～31.7mA 满量程范围内编程
- 辅助 10 位电流 DAC 具有源电流/吸电流能力，用于消除外部失调零点
- 内部集成 1.2V 精密基准源
- 工作电源：1.8V～3.3V
- 功耗：320mW
- 小尺寸、无铅、72 引脚 QFN 封装

应用领域

- 无线基础设施：
  WCDMA, CDMA2000, TD-SCDMA, WiMAX
- 宽带通信：LMDS/MMDS, 点对点
- 仪器仪表：射频(RF)信号发生器、任意波形发生器

概述

DAC2163具有高动态范围、16位分辨率、双通道数模转换器(DAC)，采样速率最高可达500 MSPS。这些器件具有适合直接变频传输应用的特性，其中包括增益与失调补偿，而且能够与模拟正交调制器无缝连接。

专有动态输出架构能够将能量从基频移至像频，即使高于奈奎斯特频率，模拟输出也能进行合成。

通过串行外设接口(SPI)端口可提供完全编程能力，还针对无控制器的应用提供了一些引脚可编程特性

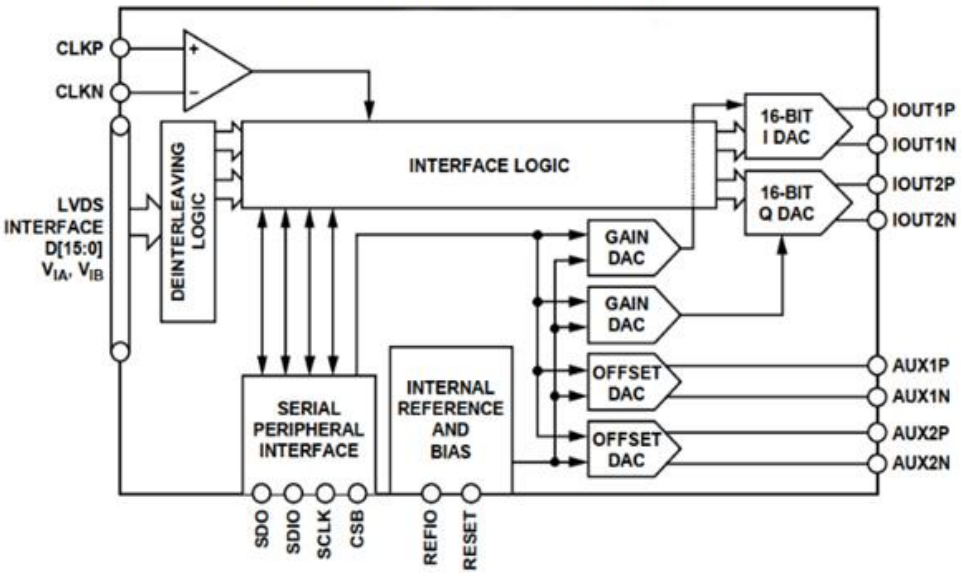
产品特色

1.利用低噪声与交调失真 (IMD) 特性，宽带信号可实现高质量合成。

2.专有开关输出可以增强动态性能。

3.可编程电流输出与双辅助 DAC 既提供灵活性，同时增强系统功能。

功能框图



DAC2163双通道,16bit,500MSPS LVDS接口数模转换器

直流特性

除非另有说明，Tmin to Tmax，AVDD33=3.3V，DVDD33=3.3V，AVDD18=1.8V，DVDD18=1.8V ，Ioutfs=20mA，最大采样率

表格 1.

参数	最小值	典型值	最大值	单位
分辨率		16		Bits
精度				
微分非线性（DNL）		±2		LSB
积分非线性（INL）		±4		LSB
主要 DAC 输出				
偏移误差	-0.001	0	+0.001	% FSR
增益误差（内部基准）		±2		% FSR
满量程输出电流	8.66	20.2	31.66	mA
输出顺从电压范围	-1.0		+1.0	V
输出阻抗		10		MΩ
一致性				
DAC 温漂				
偏移		0.04		ppm/℃
增益		100		ppm/℃
基准电压		30		ppm/℃
辅助 DAC 输出				
分辨率		10		Bits
满量程输出电流	-2		+2	mA
输出顺从范围（Source）	0		1.6	mA
输出顺从范围（Sink）	0.8		1.6	V
输出阻抗		1		MΩ
一致性				
基准				
内部基准电压		1.2		V
输出阻抗		5		kΩ
模拟电源				
AVDD33	3.13	3.3	3.47	V
CVDD18	1.70	1.8	1.90	V
数字电源				
DVDD33	3.13	3.3	3.47	V
DVDD18	1.70	1.8	1.90	V
功耗				
fDAC = 500 MSPS, IF = 20 MHz		V×I	V×I	mW
fDAC = 500 MSPS, IF = 10 MHz			450	mW
掉电模式		3	35	mW
电流				
AVDD33		55	58	mA
CVDD18		34	38	mA
DVDD33		13	15	mA
DVDD18		68	85	mA

DAC2163双通道,16bit,500MSPS LVDS接口数模转换器

数字规格

除非另有说明，Tmin to Tmax，AVDD33=3.3V，DVDD33=3.3V，AVDD18=1.8V，DVDD18=1.8V ，Ioutfs=20mA最大采样率

表格 2.

参数	最小值	典型值	最大值	单位
DAC 时钟输入（CLKP，CLKN）				
差分峰间电压（CLKP-CLKN）	400	800	1600	mV
共模电压	300	400	500	mV
最大时钟速率	500			MSPS
DAC 时钟到模拟输出数据延迟			7	Cycles
串行外围接口				
最大时钟频率（SCLK）40 MHz			40	MHZ
最小脉冲宽度高			12.5	ns
最小脉冲宽度低			12.5	ns
设置时间，SDI 到 SCLK（tDS）	2.0			ns
保持时间，SDI 至 SCLK（tDH）	0.2			ns
数据有效，SDO 到 SCLK（tDV）	2.3			ns
设置时间，CSB 到 SCLK（tDCSB）		1.4		ns
串行外围接口逻辑电平				
输入逻辑高 2.0 V	2.0			V
输入逻辑低			0.8	V
串行外围接口逻辑电平				
输入电压范围，VIA 或 VIB 800 1600	800		1600	mV
输入差分阈值，VIDTH−100+100	-100		+100	mV
输入差分滞后，VIDTHH 至 VIDTHL		20		mV
输入差分输入阻抗	80		120	Ω
最大 LVDS 输入速率（每个 DAC）	500			MSPS

DAC2163双通道,16bit,500MSPS LVDS接口数模转换器

交流规格

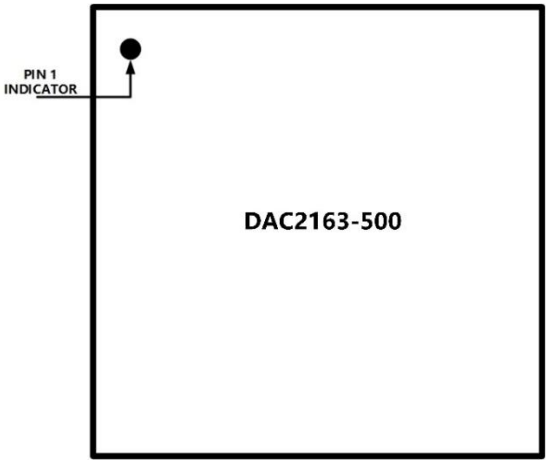
除非另有说明，Tmin to Tmax，AVDD33=3.3V，DVDD33=3.3V，AVDD18=1.8V，DVDD18=1.8V ，Ioutfs=20mA最大采样率

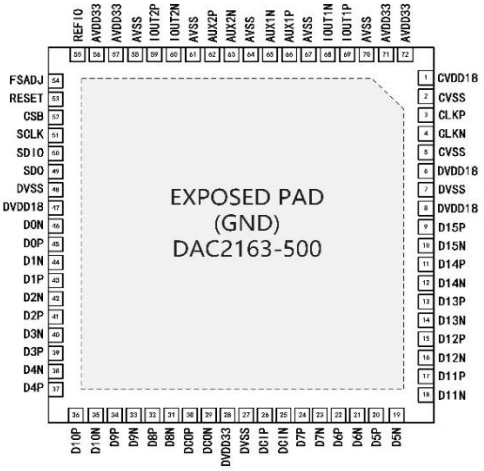
表格 3.

参数	最小值	典型值	最大值	单位
无杂散动态范围（SFDC）				
fDAC = 500 MSPS, IF = 20 MHz		81		dBc
fDAC = 500 MSPS, IF = 120 MHz		67.5		dBc
fDAC = 500 MSPS, IF = 380MHz（混合模式）		62		dBc
fDAC = 500 MSPS, IF = 480MHz（混合模式）		60		dBc
双阶互调失真（IMD）				
fDAC = 500 MSPS, IF = 20 MHz		85.2		dBc
fDAC = 500 MSPS, IF = 120 MHz		79		dBc
fDAC = 500 MSPS, IF = 380MHz（混合模式）		65		dBc
fDAC = 500 MSPS, IF = 480MHz（混合模式）		66.5		dBc
噪声频谱密度（NSD）				
fDAC = 500 MSPS, IF = 40 MHz		-165		dBc
fDAC = 500 MSPS, IF = 120 MHz		-157		dBc
fDAC = 500 MSPS, IF = 380MHz（混合模式）		-154		dBc
fDAC = 500 MSPS, IF = 480MHz（混合模式）		-153		dBc
相邻信道泄露比（NSD）				
单一载波				
fDAC = 491.52MSPS, IF = 20 MHz		-82		dBc
fDAC = 491.52MSPS, IF = 80 MHz		-81		dBc
fDAC = 491.52MSPS, IF = 411.52MHz		-69		dBc
fDAC = 491.52MSPS, IF = 471.52MHz		-70		dBc

DAC2163双通道,16bit,500MSPS LVDS接口数模转换器

引脚定义及功能描述



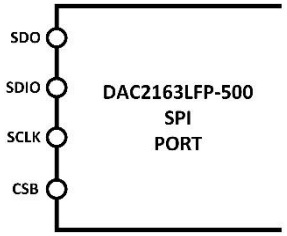


引脚	编号	描述
1，6	CVDD18	时钟电源电压（1.8V）
2，5	CVSS	时钟电源回路
3，4	CLKP，CLKN	差分 DAC 采样时钟输入
7，28，48	DVSS	数字公地
8，47	DVDD18	数字电源电压（1.8V）
9 至 24，32 至 46	D15P，D15N 至 D0P，D0N	LVDS 数据输入，D15 是 MSB，D0 是 LSB
25，26	DCOP，DCON	差分数据时钟输出，DAC 采样时钟
27	DVDD33	数字输入和输出焊盘环电压（3.3V）
29，30	DCIP，DCIN	差分数据时钟输入与输入数字对齐
49	SDO	串行数据输出
50	SCLK	串行数据输入（4 线模式）或双向串行数据线（3 线模式）
51	CSB	串行时钟输入
52	RESET	串行端口片选（低电平有效）
53	FS ADJ	复位（高电平有效）
54	REFIO	满刻度电流输出调整
55	AVDD33	模拟参考输入/输出(1.2V 标称)
56，57，71，72	AVSS	模拟电源电压
58，61，64，67，70	IOUT2P	模拟公用地
59	IOUT2N	DAC 电流输出，当所有数据位为 1，会产生满量程电流
60	AUX2P，AUX2N	DAC 互补电流输出，当所有数据位为 0，会产生满量程电流
62，63	AUX1P，AUX1N	差分辅助 DAC 电流输出（通道 2）
65，66	IOUT2N	差分辅助 DAC 电流输出（通道 1）
68	IOUT2P	DAC 互补电流输出，当所有数据位为 0，会产生满量程电流
69		DAC 电流输出，当所有数据位为 1，会产生满量程电流

工作原理

DAC2163 具有适合有线和无线通讯应用的特性，双 DAC 架构便于在单边带发射机设计时与正交调制器的连接。此外，高速特性可以带来更宽的带宽和合成更多的载波，更多特征和选型可以通过 SPI 串口软件编程来实现

串行外围接口



串行外围设备接口（SPI）端口是一个灵活的同步串行通信端口，可以连接更多的外围比如微控制器等设备，该端口与大多数同步传输格式兼容，包括 SPI 和 SSR 协议。

用户可通过 SPI 口对 DAC2163 进行读写操作，访问所有的配置寄存器。支持单字节和多字节数据传输，以及高位优先和低位优先的传输模式。串行数据输入输出可通过双向 SDIO 管脚或者两个单相的 SDIO/SDO 管脚来实现。串行口的工作模式是由寄存器 0x00 位[7:6]来控制，写入该寄存器最后一位后配置立即生效。

串行接口的一般操作

DAC2163 的 SPI 通信分为两个阶段。第一个阶段是指令周期（将指令字节写入器件），与前 8 个 SCLK 上升沿同步，指令字节向串行端口控制器提供有关数据传输周期（及通讯周期第二个阶段）的信息，明确即将发生的数据传输是读操作还是写操作，以及数据传输中第一个字节的起使寄存器地址。各通信周期的前 8 个 SCLK 上升沿用于将指令字节写入器件。

CSB 管脚由逻辑高电平变为逻辑低电平时，串行端口时序复位到指令周期的初始状态。从此状态开始的 8 个 SCLK 上升沿代表当前 I/O 操作的指令位。其余 SCLK 的沿用于通信周期的第二个阶段。第二个阶段是器件与系统控制器之间发生实际数据传输的阶段。通信周期的第二阶段可以传输一个或多个数据字节。

数据格式

SPI端口的指令字节如表所示：

MSB							LSB
B7	**B6**	**B5**	**B4**	**B3**	**B2**	**B1**	**B0**
R/W	N1	N0	A4	A3	A2	A1	A0

R/W:指令字节位 7 决定指令字节写周期结束后进行读操作还是写操作。1 表示读操作，0 表示写操作。

N[1:0]:定义数据传输的字节数。

00：传输一个字节

11：传输 4 个字节

A4~A0：指令字节的位 4~位 0 决定通信周期数据传输阶段

要访问的寄存器地址。对于多字节传输，在 MSB 模式下，该地址为结束地址。在 LSB 模式下，该字节是起始字节地址。

串口（SPI）管脚功能描述

SCLK，串行时钟管脚用于同步输入/输出器件的数据，并运行内部的状态机。SCLK 能支持的频率为 40MHz，所有数据的输入是在 SCLK 的上升沿，输出是在 SCLK 的下降沿。

CSB，片选管脚为低电平有效，用于启动并选通一个通信周期，当片选为高电平时，SDIO 管脚进入高阻态，在整个 SPI 通讯期间，片选信号应当保持低电平。

SDIO，对器件寄存器的写入操作和数据的读出操作都必须经过该管脚进行，为双向数据口。数据的输入始终是通过该管脚完成的。上电复位后，该管脚默认为双向管脚。

SDO，对器件寄存器数据的读出操作，为数据输出口。该管脚的使能是有 0x00 寄存器的位 7 来控制的，当该位设置为 0 时，SDO 没有数据输出，处于高阻状态。

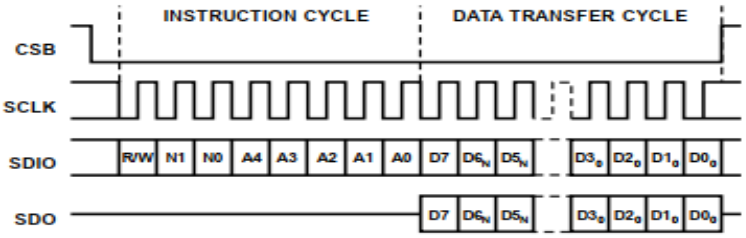
串行接口选项

DAC2163 的 SPI 口支持高位优先（MSB）和低位优先（LSB）两种数据格式。此功能由 LSB_FIRST(寄存器 0x00 的位 6)控制。默认是 MSB 优先（LSB_FIRST=0）。

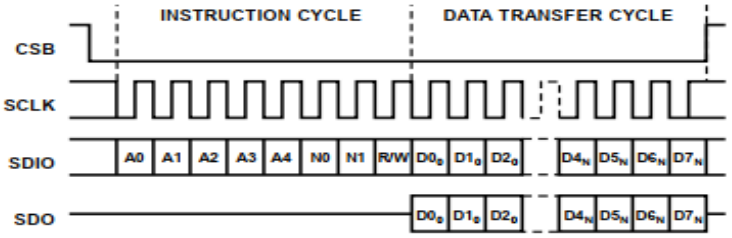
当 LSB_FIRST=0(MSB 优先)时，指令和数据位必须按照从 MSB 到 LSB 的顺序写入。采用 MSB 优先格式的多字节数据传输由一个包括最高有效数据字节寄存器地址的指令开始。后续数据字节必须按照从高地址到低地址的顺序传输。在 MSB 模式下，多字节通信周期每传输一个数据字节，串行端口的内部地址产生器便递减 1.

当 LSB_FIRST = 1（LSB 优先）时，指令和数据位必须按照从 LSB 到 MSB 的顺序写入。采用 LSB 优先由一个包括最低有效数据字节寄存器地址的指令开始。后续数据字节必须按照从低地址 到高地址的顺序传输。在 LSB 模式下，多字节通信周期每传输一个数据字节，串行端口的内部地址产生器便递增 1。

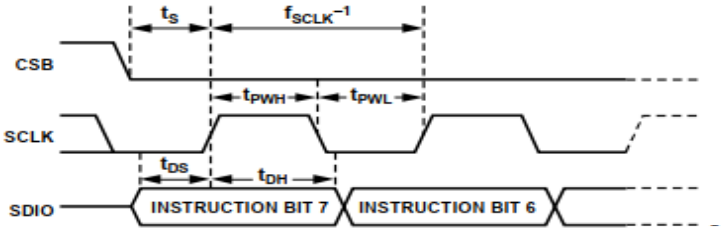
如果 MSB 优先模式有效，串行端口控制器的数据地址将从写入 0x00 以进行多字节 I/O 操作的数据地址 开始递减。如果 LSB 优先模式有效，串行端口控制器的地址将从写入 0x7F 以进行多字节 I/O 操作的数据地 址开始递增。



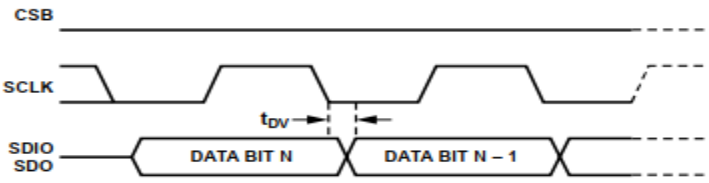
串行寄存器接口时序（MSB 优先）



串行寄存器接口时序（LSB 优先）



串行寄存器写操作时序图



串行寄存器读操作时序图

SPI寄存器描述

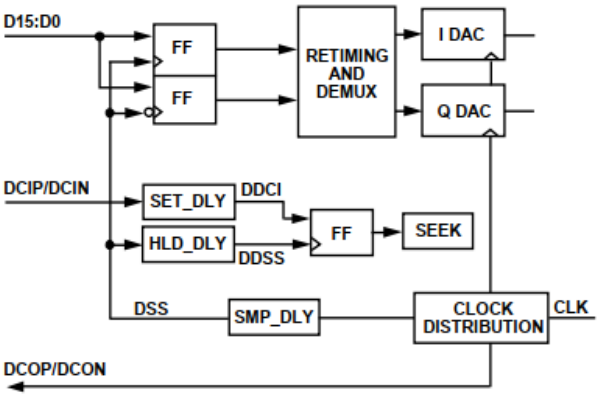
寄存器名	地址	位	位名	说明
SPI 控制寄存器	0x00	7	SDIODIR	0 = SPI 为四线工作模式，SDIO 为输入脚
				1 = SPI 为三线工作模式，SDIO 为双向输入输出脚
		6	LSBFIRST	0 = LSBFIRST 模式关，SPI 串行数据格式为 MSB 模式
				0 = LSBFIRST 模式使能，SPI 串行数据格式为 LSB 模式
		5	RESET	0 = 正常工作模式
				1 = 软复位；将所有寄存器回复到默认状态（除 0x00 寄存器外）
数据控制寄存器	0x02	7	DATA	0 = 设置 DAC 输入数据为二进制补码格式
				1 = 设置 DAC 输入数据为无符号二进制格式
		4	INVDCO	1 = DCO 输出反相
掉电控制寄存器	0x03	7	PD_DCO	1 = DCO 输出掉电
		6	PD_INPT	1 = DCO 输入掉电
		5	PD_AUX2	1 = AUX2 DAC 掉电
		4	PD_AUX1	1 = AUX1 DAC 掉电
		3	PD_BIAS	1 = 参考电压偏置掉电
		2	PD_CLK	1 = DAC 时钟输入电路掉电
		1	PD_DAC2	1 = DAC2 模拟输出掉电
		0	PD_DAC1	1 = DAC1 模拟输出掉电
建立和保持寄存器	0x04	7:4	SET[3:0]	确定输入数据的建立时间
		3:0	HLD[3;0]	确定输入数据的保持时间
时钟调整寄存器	0x05	4:0	SAMP_DLY[4:0]	5 位数定位输入数据和采样时钟的位置
Seek 控制寄存器	0x06	2	LVDS Low	有一个 LVDS 输入高于 IEEE 标准
		1	LVDS High	有一个 LVDS 输入低于 IEEE 标准
		0	SEEK	跟 LVDS_SET 和 LVDS_HLD 决定输入数据的裕量
DAC 模式控制寄存器	0x0A	3：2	DAC1MODE[1:0]	00 = DAC1 工作在普通模式
				01 = DAC1 工作在回零模式
				10 = DAC1 工作在回零模式
				11 = DAC1 工作在混频模式
		1：0	DAC2MODE[1:0]	00 = DAC2 工作在普通模式
				01 = DAC2 工作在回零模式
				10 = DAC2 工作在回零模式
				11 = DAC1 工作在混频模式
DAC1 增益控制寄存器	0x0B	7：0	DAC1FSC[9:0]	DAC1 的满幅输出电流调整字，共 10 位
	0x0C	1：0	DAC1FSC[9:8]	0x03FF = 设置满幅电流最大值为 31.66mA
				0x0200 = 设置满幅电流为正常值 20mA
				0x0000 = 设置满幅电流为最小值 8.66mA
辅助 DAC1 控制寄存器	0x0D	7:0	AUXDAC1[9:0]	辅助 DAC1 的输出电流调整字，共 10 位
	0x0E	1:0	AUXDAC1[9:8]	0x03FF = 设置电流输出为 2mA
				0x0200 = 设置电流输出为 1mA
				0x0000 = 设置电流输出为 0mA
	0x0E	7	AUX1PIN	1 = AUX1P 输出管脚有效
				0 = AUX1N 输出管脚有效

		6	AUX1DIR	0 = AUX1DAC 输出为拉电流模式
				1 = AUX1DAC 输出为灌电流模式
位控制寄存器	0x1B	7	BISTEN	
		6	BISTRD	
		5	BISTCLR	
位结果寄存器 1	0x1B	7:0	BISTRES1[15:0]	
	0x1C	7:0		
位结果寄存器 2	0x1D	7:0	BISTRES1[15:0]	
	0x1E	7:0		
硬件版本	0x1F	7:4	VERSION[3:0]	
			DEVICE[3:0]	

并行数据接口

DAC2163 的并行数据接口由 18 对差分信号线组成的，包括 DCO，DCI 和 16 对数据线 D[15:0]。DCO 是 DAC2163 提供给数字信号处理单元的时钟信号，两路 DAC 共用一个数据输入口。DCI 提供并行输入口数据的定时信息。

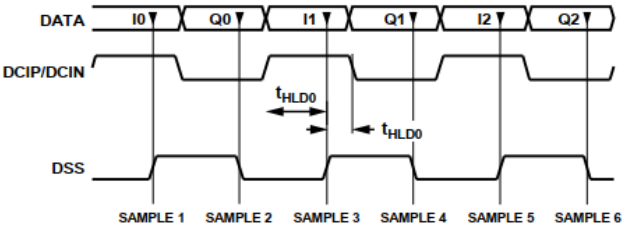
下图是数据接口功能框图，内部始终分配电路接收外部输入的差分时钟信号，产生 DSS 信号，DSS 信号将 LVDS 输入数据锁存到内部寄存器。DSS 信号的上升/下降沿可以通过采用点延迟电路来进行调整，以便对 LVDS 的输入信号进行正确采样



数字数据接口框图

输入数据口时序

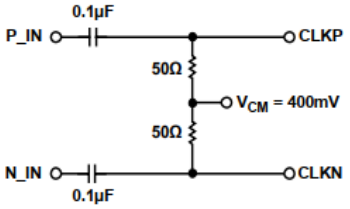
为保证 DAC 能够正确接收数据输入，DAC 的时钟信号(CLKP/N)、DCO 和输入端口之间必须满足一定的时序关系。下图是 DAC2163 工作的接口时序



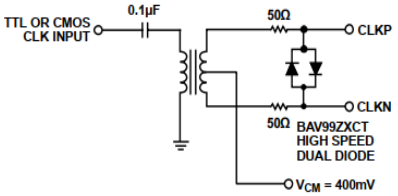
并口时钟框图

DAC的时钟输入

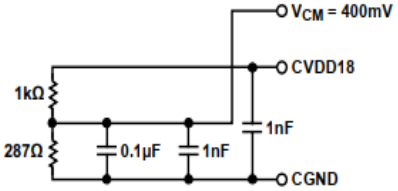
为了得到模拟输出性能，需要给 DAC 提供一个低抖动的时钟信号。时钟的共模电压为 400mV，下图分别是 LVDS、CMOS/TTL 和正弦信号的典型时钟驱动电路。此外，也提供了产生时钟共模电压的参考电路



DAC CLK 驱动电路



TTL 或CMOS DAC CLK 驱动电路



DAC CLK VCM GENERATOR电路

模拟接口

满幅电流产生：DAC1 和 DAC2 的满幅电流是流经管脚 FSADJ 电流的函数，在使用过程中，FSADJ 需要通过一个 10kΩ 的电阻到地。同时 REFIO 需要通过一个 0.1uF 的电容连接到地。DAC 输出满幅电流大小可以通过 DAC1FSC[9:0]和 DAC2FSC[9:0]来调整。下面的公式表示 DAC 满幅输出电流与 DACFSC 之间的关系：

IFS = (86.6 + (0.22 x DAC gain)) x 1000/R

DAC 的传输函数：DAC2163 每路 DAC 提互补的差分电流 IOUTP 和 IOUTN。当输入的数字信号都为 1 是，IOUTP 输出最大的电流（满幅电流），此时 IOUTN 输出电流为 0。IOUTP 和 IOUTN 为输入数字信号的函数：

IOUTP = （DAC DATA / 2 ^N）x IFS
IOUTN = （（2^N - 1）- DAC DATA）/2^N x IFS

其中，DAC DATA 为 0～2^N – 1(是进制数)这样在负载 R 的条件下，VOUTP 和 VOUTN 的值为 IOUTP x R 和 IOUTNxR。

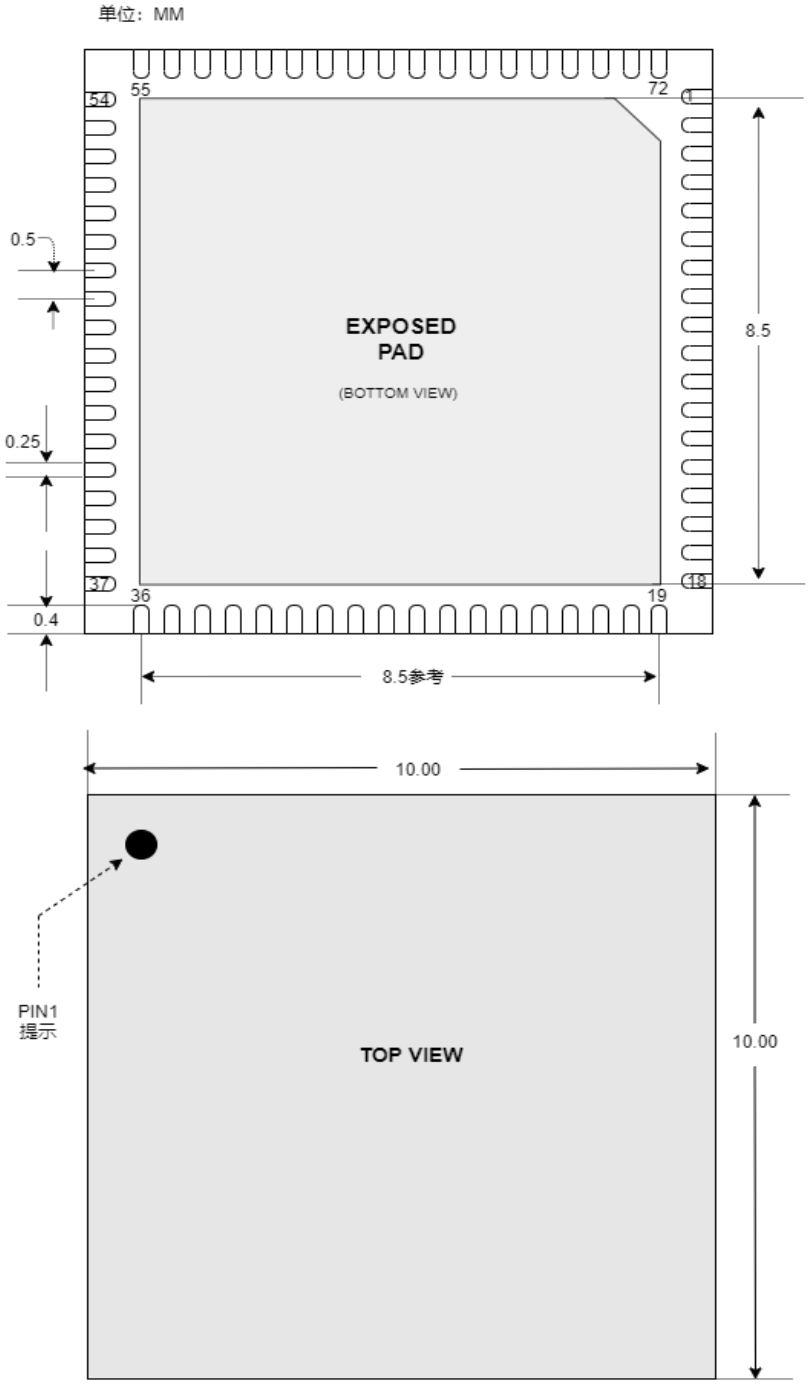
输出的电压为：VOUT= (IOUTP – IOUTN) x R

工作模式概述：DAC2163 能工作在三种模式下：普通模式、混频模式和回零模式

辅助 DAC：DAC2163 内部集成了 4 个 10 位的低速 DAC，两路用于内部直接调整 DAC1 和 DAC2 输出信号的增益，另外两路直接输出到片外，可以用于调整 DAC 的输出偏置。这对于直接采样正交调制器的发射系统，提供灵活的射频输出口本振泄露调整和镜像抑制调整功能。

DAC2163双通道,16bit,500MSPS LVDS接口数模转换器

封装信息



注意：如果芯片底部电路板有过孔，请做好过孔盖油或过孔塞油处理，避免芯片短路

器件订购信息列表列表

产品型号	温度范围	封装	包装形式	ROHS
DAC2163LFP-500	–40°C 到 +85°C	72-QFN	168/托盘	Y