

ADCS8142LFP 8 通道 DAS, 内置 14 位, 双极性输入、同步采样 ADC

概述

- ADCS8142LFP 是 14 位, 8 通道同步采样模数数据采集系统 (DAS)。各器件均内置模拟输入箝位保护、二阶抗混叠滤波器、跟踪保持放大器、14 位电荷再分配逐次逼近型模数转换器 (ADC)、灵活的数字滤波器、2.5V 基准电压源、基准电压缓冲以及高速串行和并行接口。
- ADCS8142LFP 采用 5V 单电源供电, 可以处理 $\pm 10V$ 和 $\pm 5V$ 真双极性输入信号, 同时所有通道均能以高达 200Ksps 的吞吐速率采样。输入箝位保护电路可以耐受最高达 $\pm 16.5V$ 的电压。无论以何种采样频率工作, ADCS8142LFP 的模拟输入阻抗均为 $1M\Omega$ 。它采用单电源工作方式, 具有片内滤波和高输入阻抗, 因此无需驱动运算放大器和外部双极性电源。
- ADCS8142LFP 抗混叠滤波器的 3dB 截止频率为 22KHZ, 当采样速率为 200Ksps 时, 它具有 40dB 抗混叠抑制特性。灵活的数字滤波器采用引脚驱动, 可以改善信噪比 (SNR), 并降低 3dB 带宽。
- 真双极性模拟输入范围: $\pm 10 V, \pm 5 V$
- 5 V 单模拟电源 2.3 V to 5 V VDRIVE
- 模拟输入箝位保护
- 具有 $1 M\Omega$ 模拟输入阻抗的输入缓冲器
- 二阶抗混叠模拟滤波器
- 片内精密基准电压及缓冲 5ppm/ $^{\circ}C$ 温漂
- 所有通道 14 位、200 kSPS ADC
- 通过数字滤波器提供过采样功能
- 灵活的并行/串行接口
SPI/QSP/MICROWIR /DSP 兼容
- 模拟输入通道提供 7 kV ESD 额定值
输入通道 85.5 dB SNR, -107 dB THD
- ± 0.5 LSB INL, ± 0.5 LSB DNL
- 低功耗: 130 mW 待机模式: 35 mW
- 温度范围: $-40^{\circ}C$ to $+85^{\circ}C$ / $-40^{\circ}C$ to $+125^{\circ}C$
- 64 引脚 LQFP 封装

典型应用

- 多项电机控制
- 电力线监控和保护系统
- 仪表和控制系统
- 多轴定位系统
- 数据采集系统 (DAS)

Features and Benefits

- 8 路同步采样输入

1. 器件信息

型号	封装	本体尺寸
ADCS8142LFP	LQFP-64	12mm \times 12mm
ADCS8142MLFP	LQFP-64	12mm \times 12mm

*有关更多信息, 请参阅订购信息

典型原理图和电路图

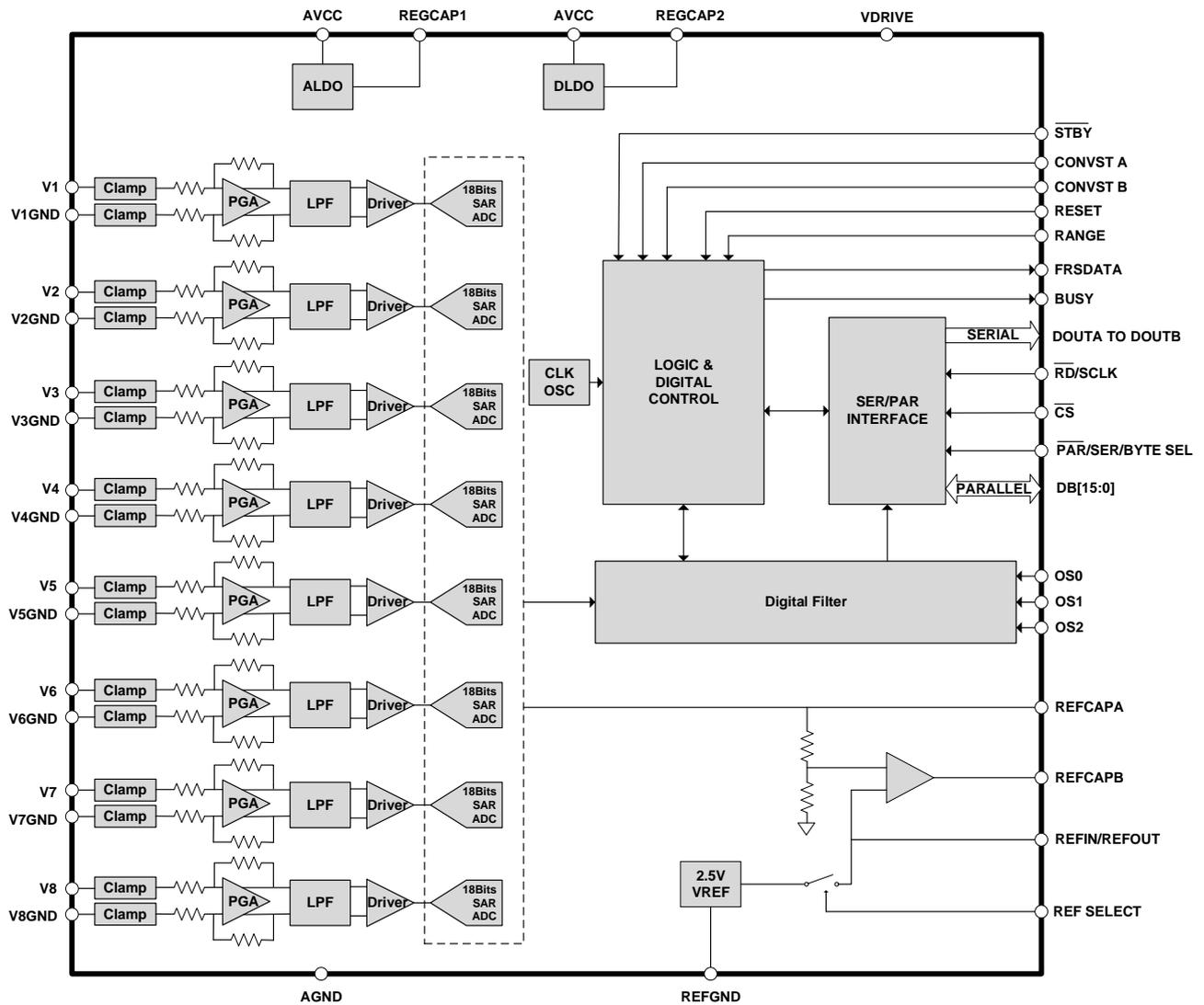


图 1 典型原理框图

目录

1. 概述	1
2. 应用	1
3. 特性和优势	1
4. 器件信息	1
5. 典型原理图和电路图	2
6. 电气特性	4
6.1 绝对最大额定值	4
6.2 静电等级	4
6.3 热信息	4
6.4 电气特性	5
7. 时序规格	7
8. 时序图	10
9. 引脚配置	12
10. 工作原理详述	14
10.1 转换器详解	14
10.2 模拟输入	14
10.3 ADC 传递函数	16
10.4 内部/外部基准电压	16
10.5 典型连接图	17
10.6 省电模式	18
10.7 转换控制	18
10.8 数字接口	19
10.9 转换期间读取	21
10.10 数字滤波器	22
11. 布局指导	26
12. 外形尺寸	28
13. 订购信息	29

电气特性

绝对最大额定值

超出下述绝对最大额定值可能会导致器件永久性损坏。

标志	参数	最小值	最大值	单位
AVCC	AVCC 至 AGND	-0.3	7.0	V
VDRIVE	VDRIVE至 DGND	-0.3	7.0	V
	AGND to DGND	-0.3	0.3	V
VAIN	模拟输入电压至 AGND	-15	15	V
VD	数字输入电压至 DGND	-0.3	VDRIVE + 0.3	V
Vref	REFIN 至 AGND	-0.3	AVCC + 0.3	V
Iin	输入电流至除电源外的任何引脚	-10	10	mA
TA	工作温度范围	-40	85	°C
TJ	结温	150		
Tstg	存储温度范围	-65	150	

静电等级

标志	参数	条件		单位
VESD-HBM	人体模式 (HBM), 符合 ANSI/ESDA/JEDEC JS-001	除模拟输入外的所有引脚	±3000	V
		仅模拟输入引脚	±7000	V
VESD-CDM	充电模式(CDM), 符合JEDEC规范 JESD22-C101	所有引脚	±500	V

热信息

标志	参数		单位
RθJA	Junction-to-ambient 热阻	46.0	°C/W
RθJC(top)	Junction-to-case (top) 热阻	7.8	°C/W
RθJB	Junction-to-board热阻	20.1	°C/W
标志	参数		单位
铅锡焊接温度	回流焊 (10秒至30秒)	240 (+0)	°C
铅锡焊接温度	无铅回流焊温度	260 (+0)	°C

电气特性

At T_A = -40°C to 85°C, V_s = 1.65V to 5.5V (除非另有说明)

标志	参数	测试条件/注释	最小值	典型值	最大值	单位
动态性能						
f _{IN} = 1 kHz 正弦波, 除非另有说明						
SNR	信噪比 (SNR)	16 倍过采样; ±10 V 范围; f _{IN} = 130Hz	85	85.5		dB
		16 倍过采样; ±5 V 范围; f _{IN} = 130Hz	84.5	85		dB
		无过采样; ±10 V 范围	84	84.5		dB
		无过采样; ±5 V 范围	83.5	84.5		dB
SINAD	信纳比 (SINAD)	无过采样; ±10 V 范围	84	84.5		dB
		无过采样; ±5 V 范围	83.5	84.5		dB
THD	总谐波失真 (THD)		-106	-95		dB
SFDR	峰值谐波或杂散噪声 (SFDR)		-109			dB
IMD	交调失真 (IMD)	fa = 1 kHz, fb = 1.1 kHz				
		二阶项	-110			dB
		三阶项	-111			dB
	通道间隔离	未选中通道的 f _{in} 高达 160kHz	-105			dB
模拟输入滤波器						
BW(-3dB)	全功率带宽	-3 dB, ±10 V 范围	43			kHz
		-3 dB, ±5 V 范围	20			kHz
BW(-0.1dB)		-0.1 dB, ±10 V 范围	10			kHz
		-0.1 dB, ±5 V 范围	5			kHz
tGROUP DELAY	tGROUP DELAY	±10 V 范围	11			μs
		±5 V 范围	15			μs
直流精度						
	分辨率	无失码	14			Bits
DNL	微分非线性			±0.25	±0.99	LSB
INL	积分非线性			±0.5	±2	LSB
TUE	总非调整误差 (TUE)	±10 V 范围		±4		LSB
		±5 V 范围		±10		LSB
EPFS	正满量程误差	外部基准电压		±4	±30	LSB
		内部基准电压		±10		LSB

正满量程误差漂移	外部基准电压	±2	ppm/°C
	内部基准电压	±7	ppm/°C

标志	参数	测试条件/注释	最小值	典型值	最大值	单位
	正满量程误差匹配	±10 V 范围		4	20	LSB
		±5 V 范围		7	30	LSB
E _{ZC}	双极性零代码误差	±10 V 范围		±1	±6	LSB
		±5 V 范围		±1	±10	LSB
	双极性零代码误差漂移	±10 V 范围		10		μV/°C
		±5 V 范围		5		μV/°C
	双极性零代码误差匹配	±10 V 范围		6	9	LSB
		±5 V 范围		7	12	LSB
E _{NFS}	负满量程误差	外部基准电压		±4	±30	LSB
		内部基准电压		±10		LSB
	负满量程误差漂移	外部基准电压		±4		ppm/°C
		内部基准电压		±8		ppm/°C
	负满量程误差匹配	±10 V 范围		±4	±30	LSB
		±5 V 范围		±4	±30	LSB
模拟输入						
A _{IN}	输入电压范围	RANGE = 1			±10	V
		RANGE = 0			±5	V
I _{IN}	模拟输入电流	10V/5V	5.4/2.5			μA
C _{AIN}	输入电容			5		pF
R _{IN}	输入阻抗	参考模拟输入部分		1		MΩ
基准输入/输出						
V _{REF-IN}	基准输入电压范围	参考 ADC 传递函数部分	2.475	2.5	2.525	V
I _{RLK}	直流漏电流				±1	μA
C _{REFIN}	输入电容	REF 选择 = 1		7.5		pF
V _{REF-OUT}	基准输出电压	REFIN/REFOUT	2.49	2.5	2.505	V
	基准源温度系数			±10		ppm/°C
逻辑输入						
V _{INH}	输入高电压 (V _{INH})		0.9 × V _{DRIVE}			V
V _{INL}	输入低电压 (V _{INL})				0.1 × V _{DRIVE}	V
I _{IN}	输入电流 (I _{IN})				±2	μA
C _{LIN}	输入电容 (C _{IN})			5		pF
逻辑输出						
V _{OH}	输出高电压 (V _{OH})	I _{SOURCE} = 100 μA	V _{DRIVE} - 0.2			V
V _{OL}	输出低电压 (V _{OL})	I _{SINK} = 100 μA			0.2	V
I _{LLK}	浮空态漏电流			±1	±20	μA
C _{LOUT}	浮空态输出电容			5		pF
	输出编码	二进制补码				

标志	参数	测试条件/注释	最小值	典型值	最大值	单位
电源要求						
AVCC	AVCC		4.75		5.25	V
VDRIVE	VDRIVE		2.3		5.25	V
ITOTAL	ITOTAL	数字输入 = 0 V or VDRIVE				
IStatic	正常模式 (静态)			16	22	mA
I _{AVCC}	正常模式 (工作状态)	f _{SAMPLE} =200ksps		20	27	mA
I _{STDBY}	待机模式			5	8	mA
I _{STDN}	关断模式			2	11	uA

时序规格

AV_{CC} = 4.75 V 至 5.25 V, V_{drive} = 2.3 V 至 5.25 V, V_{REF} = 2.5 V 外部/内部基准电压, T_a = T_{min} 至 T_{max}, 除非另有说明.

标志	参数	Limit at T _{MIN} , T _{MAX} (0.1 × V _{DRIVE} and 0.9 × V _{DRIVE} Logic Input Levels)			单位
		最小值	典型值	最大值	
t _{CYCLE}	1/吞吐速率				
	并行模式, 转换期间或之后读取; 或者串行模式: V _{DRIVE} = 3.3V to 5.25V, 在转换期间读取利用 DOUTA 和 DOUTB 线路			5	μs
	串行模式, 转换期间读取; V _{DRIVE} = 2.7 V		5		μs
	串行模式, 转换之后读取; V _{DRIVE} = 2.3 V, DOUTA 和 DOUTB 线路			9.7	μs
t _{CONV}	转换时间				
	过采样关闭	3.45	4	4.2	μs
	2 倍过采样	7.87		9.1	μs
	4 倍过采样	16.05		18.8	μs
	8 倍过采样	33		39	μs
	16 倍过采样	66		78	μs
	32 倍过采样	133		158	μs
t _{WAKE-UP STANDBY}	STBY 上升沿到 CONVST x 上升沿; 从待机模式上电的时间			100	μs
t _{WAKE-UP SHUTDOWN}					
内部基准电压	STBY 上升沿到 CONVST x 上升沿; 从关断模式上电的时间			30	ms
外部基准电压	STBY 上升沿到 CONVST x 上升沿; 从关断模式上电的时间			13	ms
t _{RESET}	RESET 高电平脉冲带宽	50			ns
t _{OS_SETUP}	BUSY 到 OS x 引脚设置时间	20			ns
t _{OS_HOLD}	BUSY 到 OS x 引脚保持时间	20			ns
标志	参数	Limit at T _{MIN} , T _{MAX} (0.1 × V _{DRIVE} and 0.9 × V _{DRIVE} Logic Input Levels)			单位
		最小值	典型值	最大值	
t ₁	CONVST x 高电平到 BUSY 高电平			40	ns
t ₂	最短 CONVST x 低电平脉冲	25			ns

t3	最短 CONVST x 高电平脉冲	25			ns
t4	BUSY 下降沿到 CS 下降沿设置时间	0			ns
t5	CONVST A/CONVST B 上升沿之间最大容许延迟时间			0.5	ms
t6	最后 CS 上升沿与 BUSY 下降沿之间的最长时间			25	ns
t7	RESET 低电平到 CONVST x 高电平之间的最短延迟时间	25			ns
t8	CS 到 RD 设置时间	0			ns
t9	CS 到 RD 保持时间	0			ns
t10	RD 低电平脉冲宽度				
	VDRIVE 高于 4.75 V	16			ns
	VDRIVE 高于 3.3 V	21			ns
	VDRIVE 高于 2.7 V	25			ns
	VDRIVE 高于 2.3 V	32			ns
t11	RD 高电平脉冲宽度	15			ns
t12	CS 高电平脉冲宽度 CS 与 RD 相连	22			ns
t13	从 CS 直到 DB[15:0] 三态禁用的延迟时间				
	VDRIVE 高于 4.75 V			16	ns
	VDRIVE 高于 3.3 V			20	ns
	VDRIVE 高于 2.7 V			25	ns
	VDRIVE 高于 2.3 V			30	ns
t14	RD 下降沿后的数据访问时间				
	VDRIVE 高于 4.75 V			16	ns
	VDRIVE 高于 3.3 V			21	ns
	VDRIVE 高于 2.7 V			25	ns
	VDRIVE 高于 2.3 V			32	ns
t15	RD 下降沿后的数据保持时间	6			ns
t16	CS 到 DB[15:0] 保持时间	6			ns
t17	从 CS 上升沿到 DB[15:0] 三态使能的延迟时间			22	ns
fSCLK	串行读取时钟频率				
	VDRIVE 高于 4.75 V			23.5	MHz
	VDRIVE 高于 3.3 V			17	MHz
	VDRIVE 高于 2.7 V			14.5	MHz
	VDRIVE 高于 2.3 V			11.5	MHz
t18	从 CS 直到 DOUTA/DOUTB 三态禁用的延迟时间/从 CS 直到 MSB 有效的延迟时间				
	VDRIVE 高于 4.75 V			15	ns

标志	参数	Limit at TMIN, TMAX (0.1 × VDRIVE and 0.9 × VDRIVE Logic Input Levels)			单位
		最小值	典型值	最大值	
	VDRIVE 高于 3.3 V			20	ns
	VDRIVE = 2.3 V 到 2.7 V			30	ns
t19	SCLK 上升沿后的数据访问时间				
	VDRIVE 高于 4.75 V			17	ns
	VDRIVE 高于 3.3 V			23	ns
	VDRIVE 高于 2.7 V			27	ns
	VDRIVE 高于 2.3 V			34	ns
t20	SCLK 低电平脉冲宽度	0.4 tsCLK			ns
t21	SCLK 高电平脉冲宽度	0.4 tsCLK			ns
t22	SCLK 上升沿到 DOUTA/DOUTB 有效的保持时间	7			
t23	CS 上升沿到 DOUTA/DOUTB 三态使能			22	ns
t24	从 CS 下降沿直到 FRSTDATA 三态禁用的延迟时间				
	VDRIVE 高于 4.75 V			15	ns
	VDRIVE 高于 3.3 V			20	ns
	VDRIVE 高于 2.7 V			25	ns
	VDRIVE 高于 2.3 V			30	ns
t25	从 CS 下降沿直到 FRSTDATA 高电平的延迟时间, 串行模式				ns
	VDRIVE 高于 4.75 V			15	ns
	VDRIVE 高于 3.3 V			20	ns
	VDRIVE 高于 2.7 V			25	ns
	VDRIVE 高于 2.3 V			30	ns
t26	从 RD 下降沿到 FRSTDATA 高电平的延迟时间				
	VDRIVE 高于 4.75 V			16	ns
	VDRIVE 高于 3.3 V			20	ns
	VDRIVE 高于 2.7 V			25	ns
	VDRIVE 高于 2.3 V			30	ns
t27	从 RD 下降沿到 FRSTDATA 低电平的延迟时间				
	VDRIVE = 3.3 V 到 5.25V			19	ns
	VDRIVE = 2.3 V 到 2.7V			24	ns
t28	从第 16 个 SCLK 下降沿到 FRSTDATA 低电平的延迟时间				
	VDRIVE = 3.3 V 到 5.25V			17	ns
	VDRIVE = 2.3 V 到 2.7V			22	ns
t29	从 CS 上升沿直到 FRSTDATA 三态使能的延迟时间			24	ns

时序图

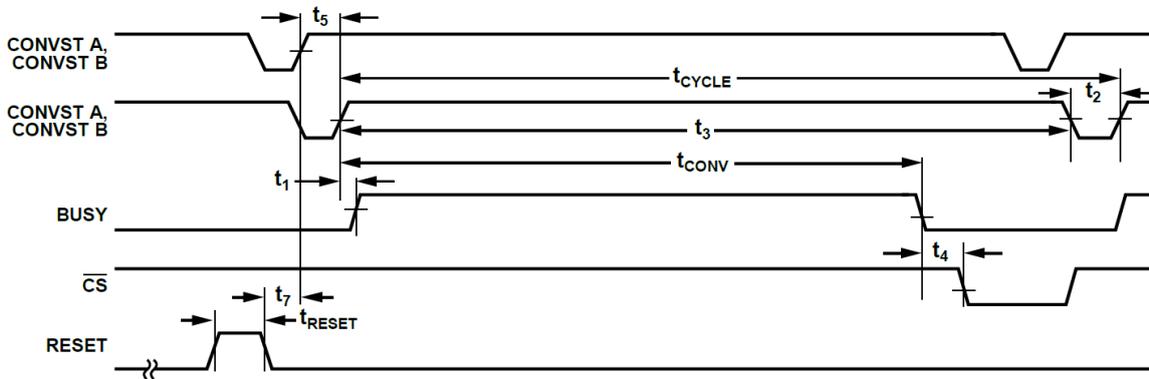


图 2 CONVST 时序—转换之后读取

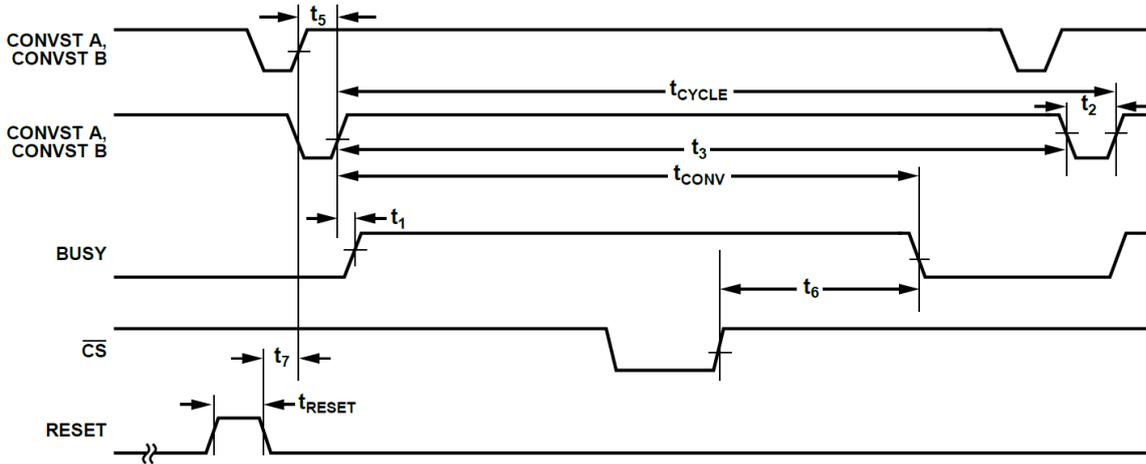


图 3. CONVST 时序—转换期间读取

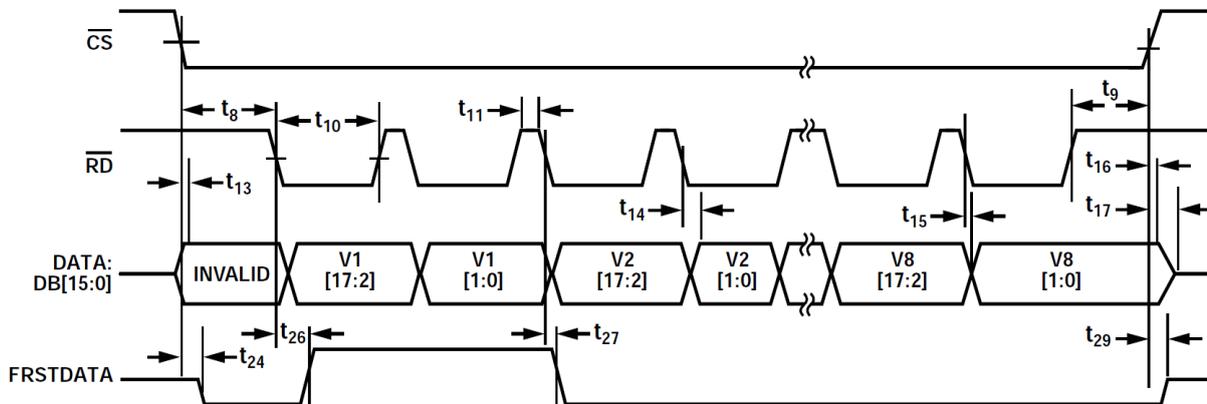


图 4. 并行模式, 独立的 CS 和 RD 脉冲

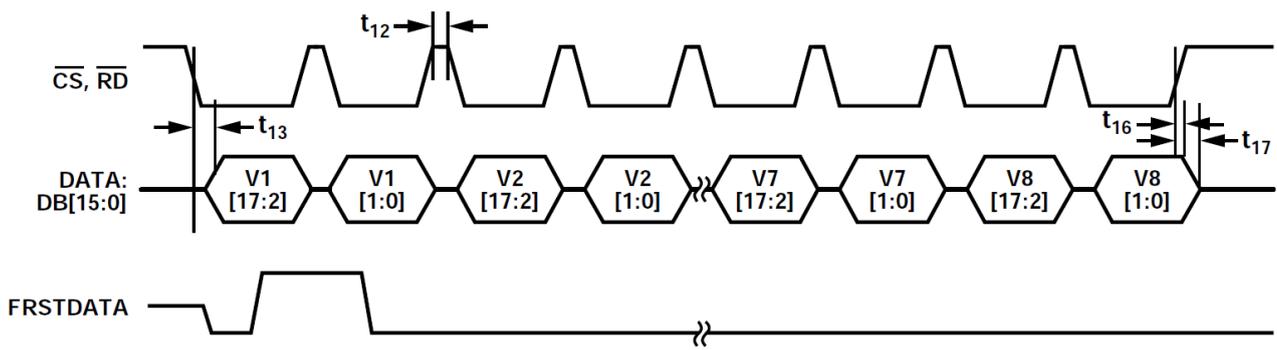


图 5. CS 和 RD 相连的并行模式

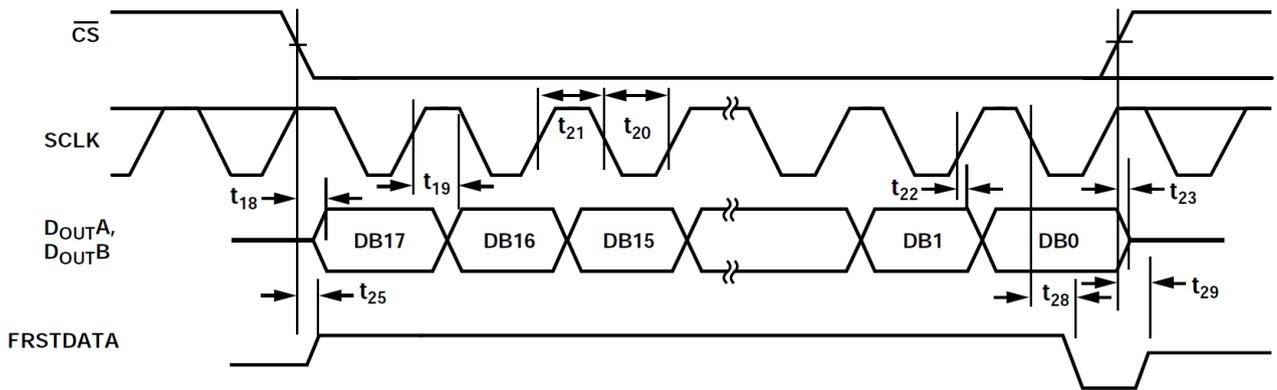


图 6. 串行读取操作 (通道 1)

引脚配置

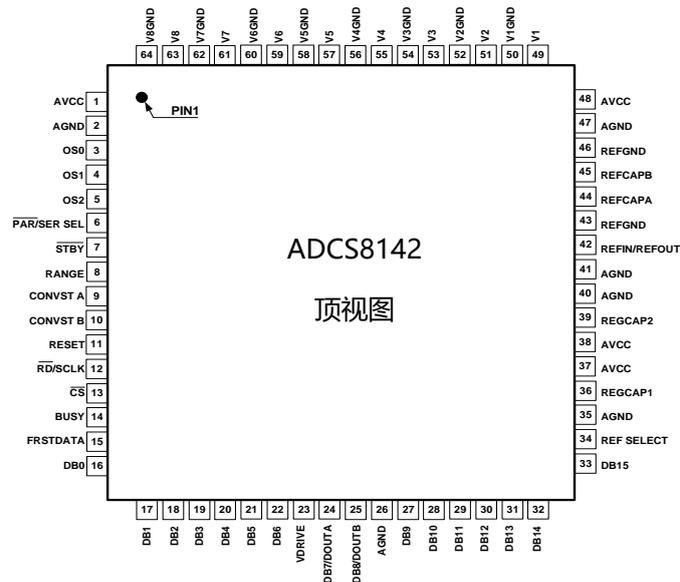


图 7 引脚配置

表 1. 引脚功能定义

引脚		类型	描述
名称	编号		
AGND	2, 26, 35, 40, 41, 47	P	模拟地
V1GND	50	AI	模拟输入通道1:负输入
V1P	49	AI	模拟输入通道1:正输入
V2GND	52	AI	模拟输入通道2:负输入
V2P	51	AI	模拟输入通道2:正输入
V3GND	54	AI	模拟输入通道3:负输入
V3P	53	AI	模拟输入通道3:正输入
V4GND	56	AI	模拟输入通道4:负输入
V4P	55	AI	模拟输入通道4:正输入
V5GND	58	AI	模拟输入通道5:负输入
V5P	57	AI	模拟输入通道5:正输入
V6GND	60	AI	模拟输入通道6:负输入
V6P	59	AI	模拟输入通道6:正输入
V7GND	62	AI	模拟输入通道7:负输入
V7P	61	AI	模拟输入通道7:正输入
V8GND	64	AI	模拟输入通道8:负输入
V8P	63	AI	模拟输入通道8:正输入
AVCC	1, 37, 38, 48	P	模拟电源电压. 应将这些电源引脚去耦至 AGND
BUSY	14	DO	主动高数字输出, 指示正在进行的转换

CONVSTA	9	DI	主动高逻辑输入来控制设备输入通道的前半部分计数转换的开始
CONVSTB	10	DI	主动高逻辑输入来控制设备输入通道的后半部分计数的转换开始
$\overline{\text{CS}}$	13	DI	片选
DB0	16	DO	无效输出
DB1	17	DO	无效输出
DB2	18	DO	并行接口模式, 数据输出 DB1 (LSB)
DB3	19	DO	并行接口模式, 数据输出 DB2
DB4	20	DO	并行接口模式, 数据输出 DB3
DB5	21	DO	并行接口模式, 数据输出 DB4
DB6	22	DO	并行接口模式, 数据输出 DB5
DB7/DOUTA	24	DO	多功能逻辑输出引脚。该引脚在并行和并行字节接口模式是数据输出DB6;该引脚是串行接口模式下的数据输出引脚。
DB8/DOUTB	25	DO	多功能逻辑输出引脚。该引脚为数据输出DB7并行接口模式;该引脚是串行接口模式下的数据输出引脚。
DB9	27	DO	并行接口模式, 数据输出DB8
DB10	28	DO	并行接口模式, 数据输出DB9
DB11	29	DO	并行接口模式, 数据输出DB10
DB12	30	DO	并行接口模式, 数据输出DB11
DB13	31	DO	并行接口模式, 数据输出DB12
DB14	32	DO	并行接口模式, 数据输出DB13
DB15	33	DO	并行接口模式, 数据输出DB14 (MSB)
VDRIVE	23	P	逻辑电源输入。此引脚的电源电压 (2.3V至5.25V) 决定逻辑接口的工作电压。
FRSTDATA	15	DO	主动高数字输出, 指示从设备的通道1读出的数据
OS0	3	DI	过采样模式控制引脚
OS1	4	DI	过采样模式控制引脚
OS2	5	DI	过采样模式控制引脚
$\overline{\text{PAR/SER SEL}}$	6	DI	并行/串行接口选择输入, 逻辑输入。
RANGE	8	DI	多功能逻辑输入引脚:当STBY引脚高电平时, 该引脚选择设备的输入范围($\pm 10\text{ V}$ 或 $\pm 5\text{ V}$);当STBY引脚低电平时, 该引脚在待机和关机模式之间选择。
$\overline{\text{RD/SCLK}}$	12	DI	多功能逻辑输入引脚:该引脚是一个有源低电平输入引脚在并行和并行字节接口模式下;该引脚是串行接口模式下的时钟输入引脚。
REFCAPA	44	AO	基准电压缓冲输出强制/检测引脚。必须将这些引脚连在一起, 并通过低ESR 10 μF 陶瓷电容去耦至AGND.
REFCAPB	45	AO	
REFGND	43, 46	P	基准电压接地引脚, 这些引脚应链接到AGND.
REFIN/ REFOUT	42	AIO	当REFSEL高电平时, 该引脚作为内部参考输出;当REFSEL低电平时, 该引脚作为外部参考的输入引脚。使用10 μF 电容在引脚43上与REFGND去耦。
REFSEL	34	DI	内部/外部基准电压选择输入。逻辑输入。
REGCAP1	36	AO	内部稳压器电压输出的去耦引脚1; 使用1 μF 电容单独与AGND去耦。
REGCAP2	39	AO	内部稳压器电压输出的去耦引脚2; 使用1 μF 电容单独与AGND去耦。
RESET	11	DI	主动高电平逻辑输入, 复位设备数字逻辑
$\overline{\text{STBY}}$	7	DI	主动低电平逻辑输入, 使设备进入两种下电模式之一:待机或关机

详细描述

转换器详解

ADCS8142LFP 是采用高速、低功耗、电荷再分配逐次逼近型模数转换器(ADC)的数据采集系统,并允许 8 个模拟输入通道同时采样。ADCS8142LFP 上的模拟输入可以接受真双极输入信号。RANGE 引脚可以选择 $\pm 10\text{V}$ 或 $\pm 5\text{V}$ 输入范围。ADCS8142LFP 采用 5V 单电源供电。ADCS8142LFP 内置输入箝位保护、输入信号缩放放大器、二阶抗混叠滤波器、采样保持放大器、片内基准电压源、基准电压缓冲器、高速 ADC、数字滤波器以及高速并行和串行接口。ADCS8142LFP 上的采样使用 CONVST 信号进行控制。

模拟输入

模拟输入范围

ADCS8142LFP 可以处理真正的双极,单端输入电压。RANGE 引脚上的逻辑电平决定了所有模拟输入通道的模拟输入范围。如果该引脚连接到逻辑高电平,则所有通道的模拟输入范围为 $\pm 10\text{V}$ 。如果该引脚连接到逻辑低电平,所有通道的模拟输入范围为 $\pm 5\text{V}$ 。该引脚上的逻辑变化对模拟输入范围有直接影响,然而,除了正常的采集时间要求外,通常有大约 $80\mu\text{s}$ 的建立时间要求。推荐的做法是根据系统信号所需的输入范围,通过硬连线设置 RANGE 引脚。

在正常运行时,施加的模拟输入电压应保持在通过 RANGE 引脚选择的模拟输入范围内。上电后必须施加一个 RESET 脉冲,以确保模拟输入通道配置为所选范围。下电时,建议将模拟输入绑在 GND 上。根据模拟输入箝位保护章节,过电压箝位保护建议用于瞬态过电压条件下,不应长时间保持有效。强调在这里提到的条件之外的模拟输入可以降低 ADCS8142LFP 的双极零码错误和 THD 性能。

模拟输入阻抗

ADCS8142LFP 的模拟输入阻抗为 $1\text{M}\Omega$ 。这是一个固定的输入阻抗,不随 ADCS8142LFP 采样频率变化。这种高模拟输入阻抗消除了对 ADCS8142LFP 前面的驱动放大器的需要,允许直接连接到信号源或传感器。由于不需要驱动放大器,双极电源(通常是系统中的噪声源)可以从信号链中去除。

模拟输入箝位保护

图 8 给出了 ADCS8142LFP 的模拟输入结构。ADCS8142LFP 的每个模拟输入都包含箝位保护电路。尽管单 5V 电源供电,但这种模拟输入箝位保护允许输入过电压高可达 $\pm 16.5\text{V}$ 。

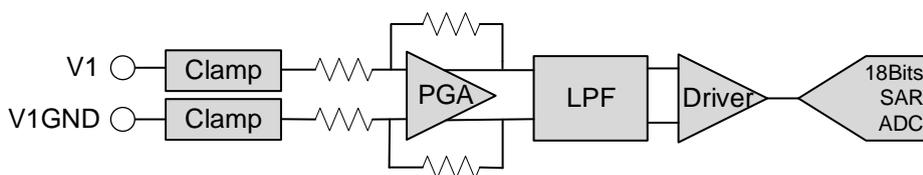


图 8 模拟输入电路

图 9 显示钳位电路的电压与电流特性。当输入电压不超过 ± 16.5 V 时，钳位电路中没有电流流动。对于 ± 16.5 V 以上的输入电压，ADCS8142LFP 钳位电路开启。

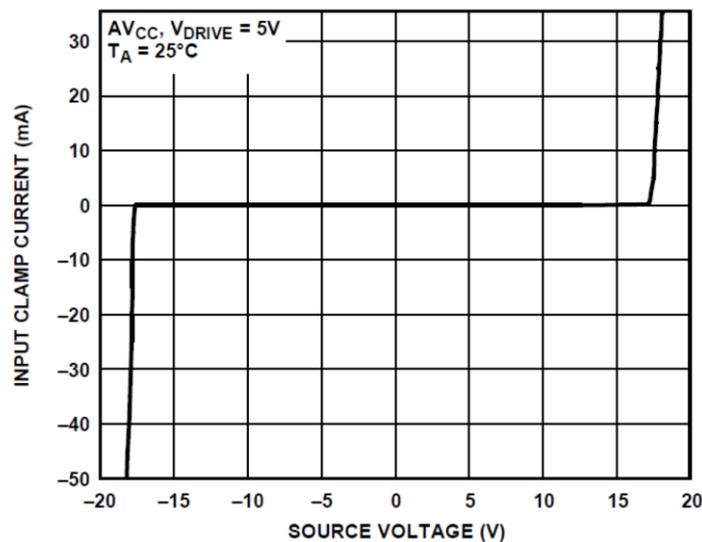


图 9 输入箝位保护特性

模拟输入通道上应放置串联电阻，当输入电压高于 ± 16.5 V 时，将电流限制在 ± 10 mA。在模拟输入通道 V_x 上有串联电阻，则需要在模拟输入 GND 通道 V_xGND 上有相应的电阻(见图 10)。如果在 V_xGND 通道上没有相应的电阻，则在该通道上发生偏移错误。建议采用输入过压钳位保护电路来保护 ADCS8142LFP 免受瞬态过压事件的影响。不建议将 ADCS8142LFP 留在钳位保护电路在正常或长时间断电的情况下是主动的状态，因为这可能会降低 ADCS8142LFP 的

极 零 码 错 误 性 能。

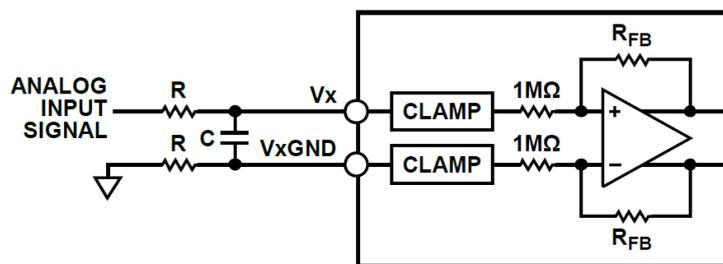


图 10 模拟输入端上输入电阻匹配

模拟输入抗混叠滤波器

在 ADCS8142LFP 上还提供了一个模拟抗混叠滤波器。在 ± 5 V 范围内， -3 dB 频率通常为 15 kHz。在 ± 10 V 范围内， -3 dB 频率通常为 43 kHz。

ADC 传递函数

ADCS8142LFP 的输出编码为二补码。设计的代码转换发生在连续的整数 LSB 值之间，即 $1/2$ LSB 和 $3/2$ LSB 之间。对于 ADCS8142LFP, LSB 大小为 $FSR/16384$ 。LSB 的大小取决于所选择的模拟输入范围。

	+FS	MIDSCALE	-FS	LSB
±10V RANGE	+10V	0V	-10V	1.2207mV
±5V RANGE	+5V	0V	-5V	0.6104mV

内部/外部基准电压

ADCS8142LFP 包含一个片上 2.5 V 带隙基准。REFIN/REFOUT 引脚允许访问 2.5V 基准，产生片上 4.0 V 基准内部，或者它允许 2.5V 外部基准应用到 ADCS8142LFP。外部应用的参考电压为 2.5 V，使用内部缓冲也可达到 4.0 V。这个 4.0 V 缓冲参考是 SAR ADC 使用的参考。

REF SELECT 引脚是一个逻辑输入引脚，允许用户在内部引用和外部引用之间进行选择。如果这个引脚设置为逻辑高，内部参考被选择和启用。如果该引脚被设置为逻辑低，内部参考将被禁用，并且必须对 REFIN/REFOUT 引脚施加外部参考电压。内部引用缓冲区总是启用的。复位后，ADCS8142LFP 运行在参考模式选择的 REF SELECT 引脚。内部和外部参考选项的 REFIN/REFOUT 引脚都需要解耦。在 REFIN/REFOUT 引脚上需要一个 $10\mu\text{F}$ 陶瓷电容器。ADCS8142LFP 包含一个参考缓冲器，可使 REF 电压增加到 ~ 4.0 V，如图 12 所示。REFCAPA 和 REFCAPB 引脚必须外部短路在一起，并在 REFGND 上加一个 $10\mu\text{F}$ 的陶瓷电容，以确保参考缓冲器处于闭环运行状态。REFIN/REFOUT 引脚的参考电压为 2.5 V。

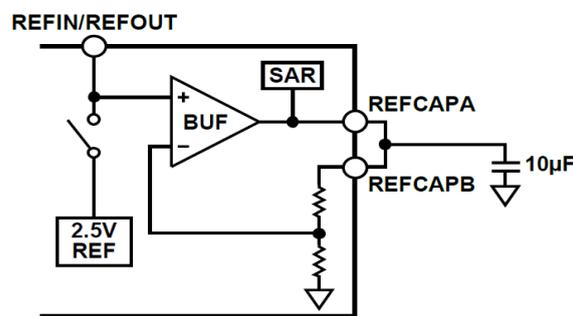


图 12 基准电压电路

当 ADCS8142LFP 配置为外部参考模式时，REFIN/REFOUT 引脚是一个高输入阻抗引脚。对于使用多台 ADCS8142LFP 设备的应用，根据应用需求，建议进行如下配置。

外部基准电压模式

一个外部参考可以用来驱动一个或多个芯片 ADCS8142LFP 器件的 REFIN/REFOUT 引脚。在这种配置中，ADCS8142LFP 的每个 REFIN/REFOUT 引脚应该用至少 100nf 的去耦电容进行去耦。

内部基准电压模式

一个配置为内部参考模式的 ADCS8142LFP 设备，可以用来驱动其余的 ADCS8142LFP 设备，其余的 ADCS8142LFP 设备配置为外部参考模式。ADCS8142LFP 的 REFIN/REFOUT 引脚配置在内部参考模式，应该使用 $10\mu\text{F}$ 陶瓷去耦电容进行去耦。其他的 ADCS8142LFP 设备，配置在外部参考模式，应该在其 REFIN/REFOUT 引脚上使用至少 100nf 去耦电容去耦。

典型连接图

单端连接模式:

图 13 显示了 ADCS8142LFP 的典型连接图。该部件上有 4 个 AVCC 电源引脚，每个引脚应该使用 100 nF 电容在每个电源引脚和 10 μ F 电容在电源上进行去耦。ADCS8142LFP 可以与内部参考或外部应用参考一起工作。在这个配置中，ADCS8142LFP 被配置为与内部引用一起操作。当在板上使用单个 ADCS8142LFP 设备时，REFIN/REFOUT 引脚应与 10 μ F 电容去耦。当使用带有多个 ADCS8142LFP 设备的应用程序时，请参阅内部/外部参考部分。REFCAPA 和 REFCAPB 引脚短接在一起，并用 10 μ F 陶瓷电容器去耦。VDRIVE 电源连接到与处理器相同的电源。VDRIVE 电压控制输出逻辑信号的电压值。有关布局、解耦和接地提示，请参阅布局指南一节。在对 ADCS8142LFP 施加电源后，应对 ADCS8142LFP 施加复位，以确保其配置为正确的操作模式。

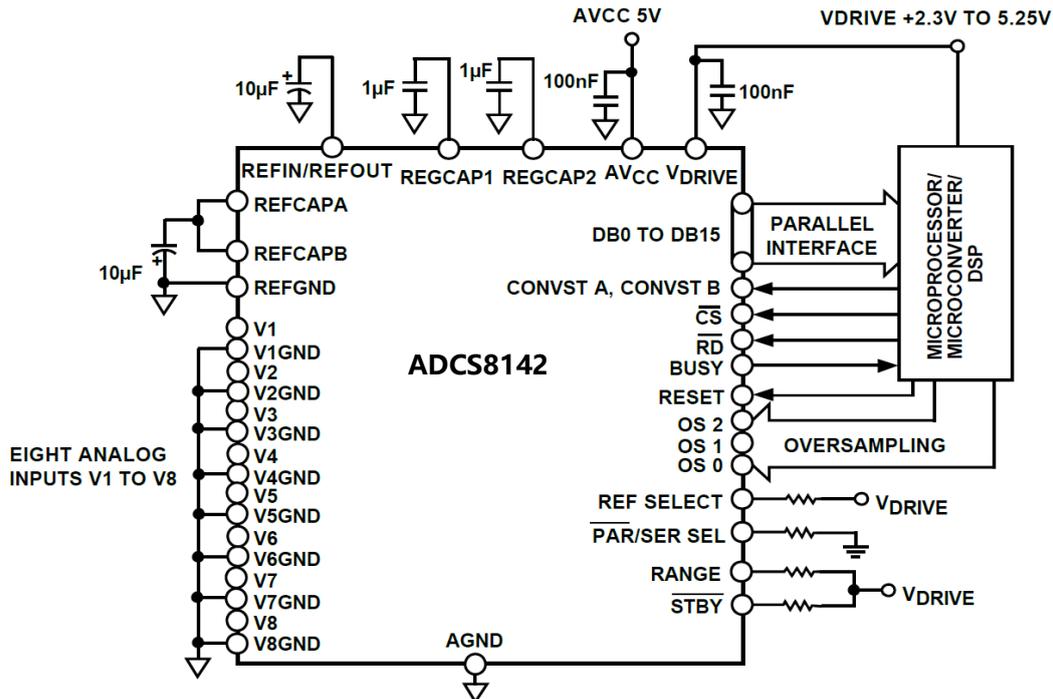


图 13 典型单端输入连接图

差分连接模式:

ADCS8142LFP 也支持差分输入模式，典型连接图如下:

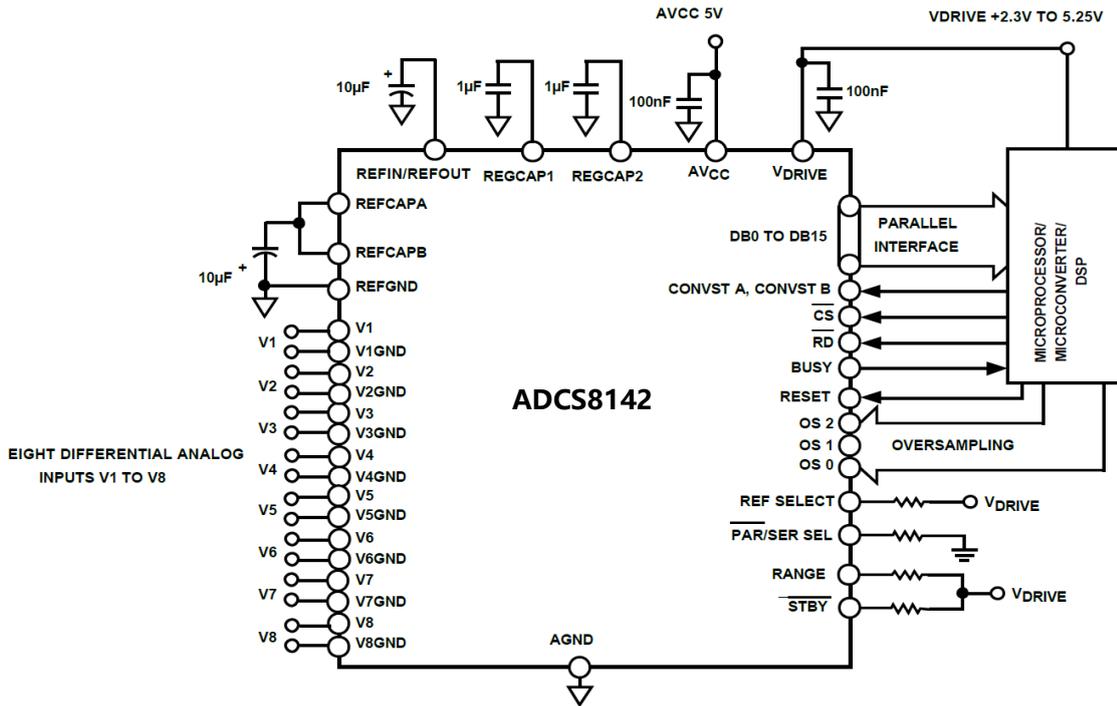


图 14 典型差分输入连接图

图15显示了差分输入信号。Vx 同向模拟输入端, VxGND 反向模拟输入端。差分输入电压范围分别为 10Vpp 和 20Vpp。共模电压为 0-5V。

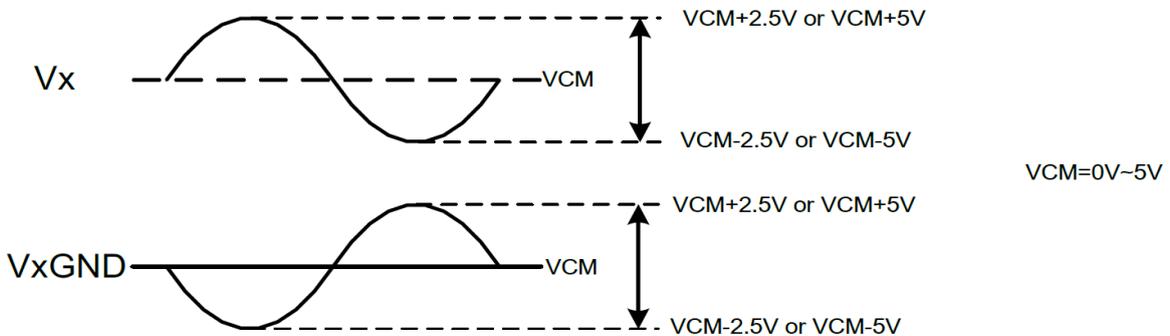


图 15 差分信号输入波形图

省电模式

ADCS8142LFP 有两种下电模式:待机模式和关机模式。STBY 引脚控制 ADCS8142LFP 是处于正常模式还是处于两种下电模式之一。当 STBY 引脚低电平时,通过 RANGE 引脚的状态选择掉电模式。表 6 显示了选择所需的下电模式所需的配置。当 ADCS8142LFP 处于待机模式时,由于 REFCAPA 和 REFCAPB 引脚上的电容必须充电,最大电流消耗为 7ma,通电时间大约为 100µs。在待机模式下,片上参考和稳压器仍处于通电状态,而放大器和 ADC 核心则处于断电状态。

表 6. 省电模式选择

省电模式	STBY	RANGE
------	------	-------

待机	0	1
关断	0	0

当 ADCS8142LFP 处于关机模式时, 最大电流消耗为 6 mA, 上电时间大约为 13 ms(外部参考模式)。在关机模式下, 所有的电路都被关闭。当 ADCS8142LFP 从关机模式上电时, 在需要的上电时间过后, 必须对 ADCS8142LFP 施加一个 RESET 信号。

转换控制

所有模拟输入通道同步采样.

ADCS8142LFP 允许所有模拟输入通道同时采样。当两个 CONVST 引脚(CONVST A, CONVST B)连在一起时, 所有通道都被同时采样。一个 CONVST 信号用于控制两个 CONVST x 输入。这个普通 CONVST 信号的上升沿开始对所有模拟输入通道(ADCS8142LFP 的 V1 到 V8)进行同步采样。ADCS8142LFP 包含用于执行转换的片上振荡器。所有 ADC 通道的转换时间为 t_{CONV} 。当转换正在进行时, BUSY 信号会向用户指示, 因此当应用 CONVST 上升沿时, 在整个转换过程结束时, BUSY 的逻辑值会升高, 而转换值会降低。BUSY 的下降沿也表明现在可以从并行总线(DB[15:0])、DOUTA 和 DOUTB 串行数据线或并行字节总线 DB[7:0]读取新数据。

两组通道同步采样

ADCS8142LFP 还允许模拟输入通道在两组中同时采样。这可用于电力线路保护和测量系统, 以补偿 PT 和 CT 变压器引入的相位差。在 50hz 的系统中, 这允许高达 9° 的相位补偿; 在 60hz 的系统中, 它允许高达 10° 的相位补偿。这是通过对两个 CONVST 引脚单独脉冲来实现的, 只有在不使用过采样的情况下才有可能。CONVST A 用于启动第一组通道(ADCS8142LFP 的 V1 到 V4)的同时采样; CONVST B 用于在第二组模拟输入通道(ADCS8142LFP 的 V5 到 V8)上启动同步采样, 如图 16 所示。当对流 x 的两个上升边发生时, 转换过程就开始了; 因此, 在稍后的 CONVST x 信号上升沿上, BUSY 升高。在表 3 中, Time t_5 表示 CONVST x 采样点之间允许的最大时间。当使用两个单独的 CONVST x 信号时, 数据读取过程没有变化。将所有未使用的模拟输入通道连接到 AGND 任何未使用通道的结果仍然包含在数据读取中, 因为所有通道总是被转换。

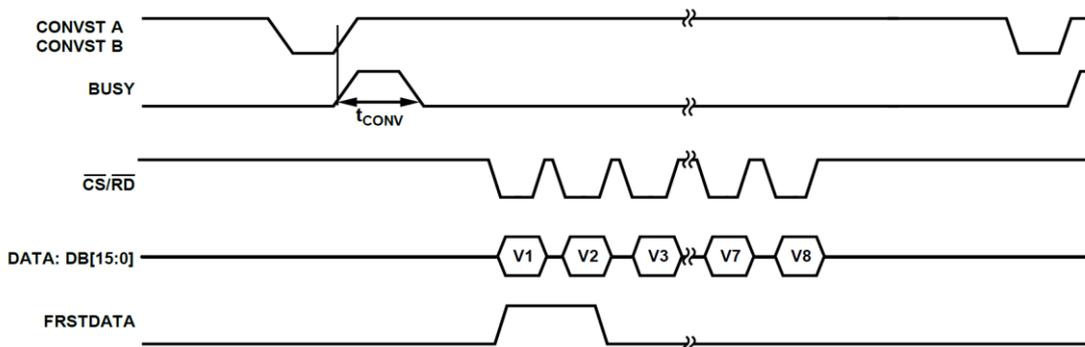


图 16 使用独立 CONVST A 和 CONVST B 信号并行模式分两组通道进行同步采样

数字接口

ADCS8142LFP 提供三个接口选项: 并行接口、高速串行接口和并行字节接口。通过 PAR/SER/BYTE SEL 和 DB15/BYTE SEL 引脚选择所需的接口模式。

表 7. 接口模式选择

PAR/SER/BYTE SEL	DB15	接口模式
0	0	并行接口模式
1	0	串行接口模式
1	1	并行字节接口模式

并行接口(PAR/SER/BYTESEL=0)

通过标准 CS 和 RD 信号的并行数据总线, 可以从 ADCS8142LFP 读取数据。为了通过并行总线读取数据, PAR/SER/BYTE SEL 引脚应该和低电平相连。CS 和 RD 输入信号是内部门控的, 以使转换结果到数据总线上。当 CS 和 RD 都是低逻辑电平时, DB15 到 DB0 的数据线 (注明: DB15 为 14bit 数据的 MSB, DB2 为 14bit 数据的 LSB) 不再是高阻抗状态。

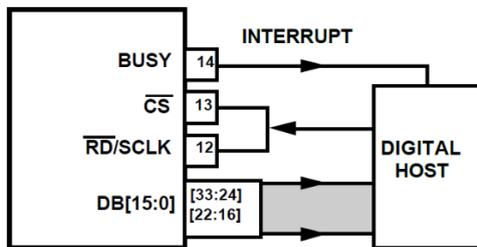


图 17 ADCS8142LFP 接口图-并行总线, CS 和 RD 短路连接在一起

CS 输入信号的上升沿使总线处于三状态, 而 CS 输入信号的下降沿使总线脱离高阻抗状态。CS 是实现数据线的控制信号;它是允许多个 ADCS8142LFP 设备共享同一并行数据总线的功能。

CS 信号可以被永久固定在低电平, RD 信号可以用来访问转换结果, 在 BUSY 信号变为低电平后, 可以对新数据进行读操作;或者, 当 BUSY 为高电平时, 可以对前一个转换过程中的数据进行读取操作。

RD 引脚用于从输出转换结果寄存器读取数据。将 RD 脉冲序列应用到 ADCS8142LFP 的 RD 引脚上, 以升序将每个通道的转换结果时钟输出到并行总线 DB[15:0] (注明: DB15 为 14bit 数据的 MSB, DB2 为 14bit 数据的 LSB)。BUSY 变为低电平后的第一个 RD 下降沿时钟输出通道 V1 的转换结果, 下一个 RD 下降沿用 V2 转换结果更新总线, 以此类推。在 ADCS8142LFP 上, RD 的第 8 个下降沿时钟输出通道 V8 的转换结果。当 RD 信号逻辑低电平时, 可将各通道的数据转换结果传输到数字主机 (DSP、FPGA)。

当一个系统/板中只有一个 ADCS8142LFP 并且它不共享并行总线时, 可以使用数字主机的一个控制信号来读取数据。CS 和 RD 信号可以连接在一起, 如图 6 所示。在这种情况下, 数据总线从 CS/RD 下降沿的三状态中出来。结合 CS 和 RD 信号, 数据可以从 ADCS8142LFP 时钟输出, 并由数字主机读取。在这种情况下, CS 用于每个数据通道的数据帧传输。

并行字节 (PAR/SER/BYTE SEL = 1, DB15 = 1)

并行字节接口模式与并行接口模式非常相似, 除了每个通道转换结果在两个 8 位传输中读出。因此, 需要 18 个 RD 脉冲从 ADCS8142LFP 读取全部 8 个转换结果。为了配置 ADCS8142LFP 以并行字节模式运行, PAR/SER/ byte SEL 和 byte SEL/ DB15 引脚应该连接到逻辑高电平(见表 7)。在并行字节模式下, DB[7:0]用于将数据传输到数字主机。DB0 为数据传输的 LSB, DB7 为数据传输的 MSB。在并行字节模式下, DB14 充当一个 HBEN 引脚。当 DB14/HBEN 与逻辑高电平相连时, 首先输出转换结果的最高有效字节(MSB), 然后输出转换结果的 LSB。当 DB14 接到逻辑低电平时, 先输出转换结果的 LSB, 然后输出转换结果的 MSB。FRSTDATA 引脚保持高电平, 直到从 ADCS8142LFP 读取 V1 全部的 14 位转换结果。

串行接口 (PAR/SER/BYTE SEL = 1)

为了通过串行接口从 ADCS8142LFP 读取数据，PAR/SER/BYTE SEL 引脚必须连接高电平。使用 CS 和 SCLK 信号从 ADCS8142LFP 传输数据。ADCS8142LFP 有两个串行数据输出引脚 DOUTA 和 DOUTB。可以使用一条或两条 DOUT 线从 ADCS8142LFP 读取数据。对于 ADCS8142LFP，从通道 V1 到通道 V4 的转换结果首先出现在 DOUTA 上，从通道 V5 到通道 V8 的转换结果首先出现在 DOUTB 上。

CS 下降沿将数据输出线 DOUTA 和 DOUTB 从三态中取出，并记录出转换结果的 MSB。SCLK 的上升沿时钟所有后续数据位到串行数据输出，DOUTA 和 DOUTB。CS 输入可以在整个串行读操作中保持低电平，或者它可以被脉冲帧每个通道读 16 个 SCLK 周期（注明：软件抛弃最后两个 LSB 不用）。图 18 显示了使用 ADCS8142LFP 上的两个 DOUT 行读取 8 个同步转换结果。

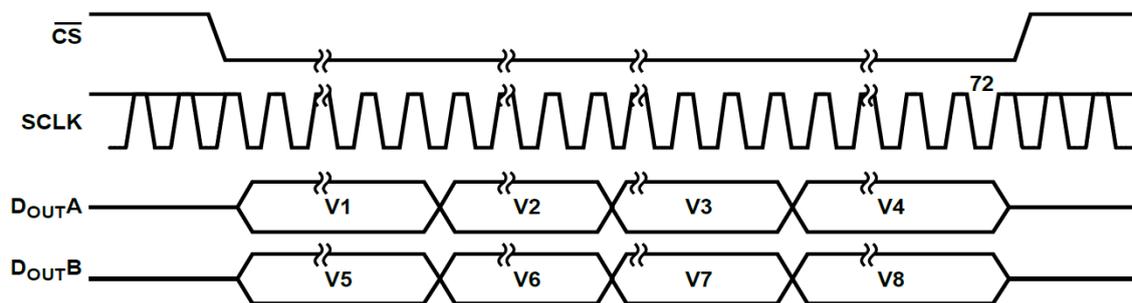


图 18 采用双 DOUT 线路的 ADCS8142LFP 串行接口

在这种情况下，一个 64 SCLK 传输被用来访问 ADCS8142LFP 的数据，并且 CS 保持低电平，以使能全部 64 SCLK 周期帧。也可以只使用一条 DOUT 线来锁定数据，在这种情况下，建议使用 DOUTA 访问所有转换数据，因为通道数据是升序输出的输出顺序如下：V1、V2、V3、V4、V5、V6、V7、V8；。为了使 ADCS8142LFP 在一条 DOUT 线上访问所有 8 个转换结果，总共需要 128 个 SCLK 循环。这 128 个 SCLK 周期可以由一个 CS 信号框定，或者每组 16 个 SCLK 周期可以由 CS 信号单独框定。只使用一行 DOUT 的缺点是，如果在转换之后读取数据，则吞吐量会降低。未使用的 DOUT 线不应以串行方式连接。对于 ADCS8142LFP，如果使用 DOUTB 作为单线 DOUT，通道结果输出顺序如下：V5、V6、V7、V8、V1、V2、V3、V4；然而，在 DOUTB 上读取 V5 之后，FRSTDATA 指示器返回低电平。

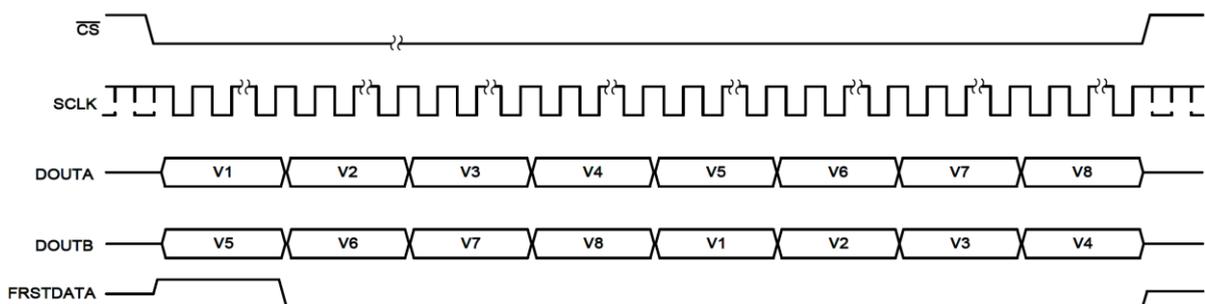


图 19 显示了串行方式从 ADCS8142LFP 读取一个信道数据(由 CS 信号构成)的时序图。

SCLK 输入信号为串行读操作提供时钟源。CS 低电平访问 ADCS8142LFP 的数据。CS 下降沿使总线脱离三态，并将 14 位转换结果的 MSB 时钟输出。该 MSB 在 SCLK 下降沿后的第一个下降沿上有效。随后的 13 位数据位在 SCLK 上升沿上被时钟从

ADCS8142LFP 输出。数据在 SCLK 下降沿是有效的。为了访问每个转换结果，必须向 ADCS8142LFP 提供 16 个时钟周期。FRSTDATA 输出信号指示第一个通道 V1 何时被读回。当 CS 输入高电平时，FRSTDATA 输出引脚处于三态。在串行模式下，CS 下降沿将 FRSTDATA 从三态中取出，并设置 FRSTDATA 引脚高电平，表明从 V1 得到的结果在 DOUTA 输出数据线上可用。FRSTDATA 输出返回逻辑低电平，在第 16SCLK 下降沿之后。如果在 DOUTB 上读取所有通道，那么当在这个串行数据输出管脚上输出 V1 时，FRSTDATA 输出不会变高电平。只有当 DOUTA 上的 V1 可用时(这是当 ADCS8142LFP 的 DOUTB 上的 V5 可用时)，它才会变为高电平。

转换期间读取

当 BUSY 为高电平，可以从 ADCS8142LFP 读取数据，并且转换正在进行中。这对转换器的性能影响很小，并且允许实现更快的吞吐量。在转换期间和过采样可能使用或不使用时，可以执行并行、并行字节或串行读取。图 3 显示了在并行或串行模式下 BUSY 为高电平时读取的时序图。当使用 VDRIVE 高于 4.75 V 以上的串行接口时，转换期间的读取允许实现全吞吐量率。除了在 BUSY 下降沿之外，任何时候都可以从 ADCS8142LFP 读取数据，因为这是用新的转换数据更新输出数据寄存器的时候。这种情况下应满足表 3 所示的时间 t_6 要求。

数字滤波器

ADCS8142LFP 包含一个可选的数字一阶 sinc 滤波器，适用于使用较慢吞吐率或较高信噪比或动态范围的应用。数字滤波器的过采样比由过采样引脚控制，OS[2:0](见表 1)。OS 2 为 MSB 控制位，OS 0 为 LSB 控制位。表 8 提供了过采样比特解码以选择不同的过采样率。OS 引脚锁存在 BUSY 的下降沿上。这将设置下一个转换的过采样率(参见图 46)。除了过采样功能，输出结果被抽取为 14 位分辨率。

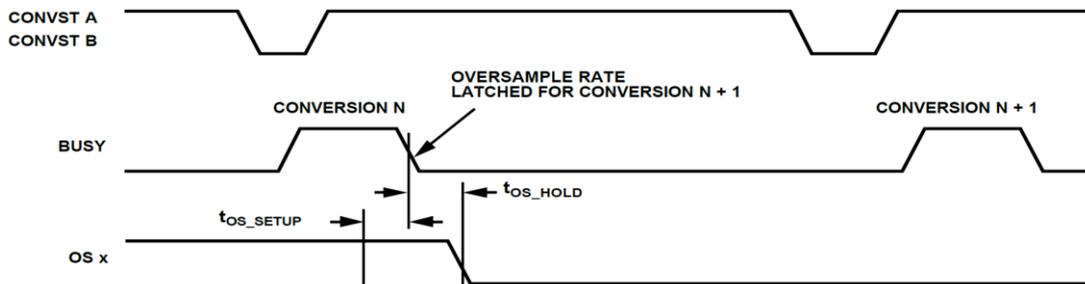


图 20 OS x 引脚时序

表 8 过采样位解码

OS[2:0]	过采样倍率	SNR 5 V 范围 (dB)	SNR 10 V 范围 (dB)	3 dB BW 5 V 范围 (kHz)	3 dB BW 10 V 范围 (kHz)	最大吞吐量 CONVST 频率 (kHz)
000	No OS	88.5	89	15	22	200
001	2	90.3	91	15	22	100
010	4	91.7	92.5	13.7	18.5	50
011	8	93.2	93.4	10.3	11.9	25
100	16	94.8	95	6	6	12.5
101	32	95.1	95.6	3	3	6.25
110	64	95.8	96.1	1.5	1.5	3.125
111	Invalid					

如果 OS 引脚被设置为选择 OS 比率为 8，则下一个 CONVST x 上升沿为每个通道采集第一个样本，所有通道的其余 7 个样本使用内部生成的采样信号采集。然后对这些样本进行平均，以提高信噪比性能。表 8 显示了 ±10 V 和 ±5 V 范围的典型信噪比性能。由表 8 可知，随着 OS 比的增加，信噪比有所提高。随着 OS 比的增加，3db 频率降低，允许的采样频率也降低。在要求采样频率为 10 kSPS 的应用程序中，可以使用高达 16 的 OS 比率。在这种情况下，应用程序看到了信噪比的改善，但输入 3 dB 带宽被限制到 ~6 kHz。

当过采样开启时，CONVST A 和 CONVST B 引脚必须连在一起/驱动在一起。当过采样函数打开时，转换过程的 BUSY 高电平期间将延长。实际的 BUSY 高电平期间取决于所选择的过采样率。过采样率越高，BUSY 高时间或总转换时间越长。

从图 21 可以看出，转换时间随着过采样率的增加而延长，不同过采样率下 BUSY 信号也会延长。例如，10 kSPS 的采样频率产生 100µs 的周期。图 47 为 OS × 2 和 OS × 4 对于 10kSPS 的示例，有足够的周期时间来进一步提高过采样率，并在信噪比性能上有更大的改进。例如，在初始采样或吞吐量速率为 200kSPS 的应用程序中，当开启过采样时，必须降低吞吐量速率以适应较长的转换时间并允许读取。为了在开启过采样时达到可能的最快吞吐量，可以在 BUSY 高电平期间执行读操作。BUSY 的下降沿用于用新的转换数据更新输出数据寄存器；因此，转换数据的读取不应该发生在这条边上。

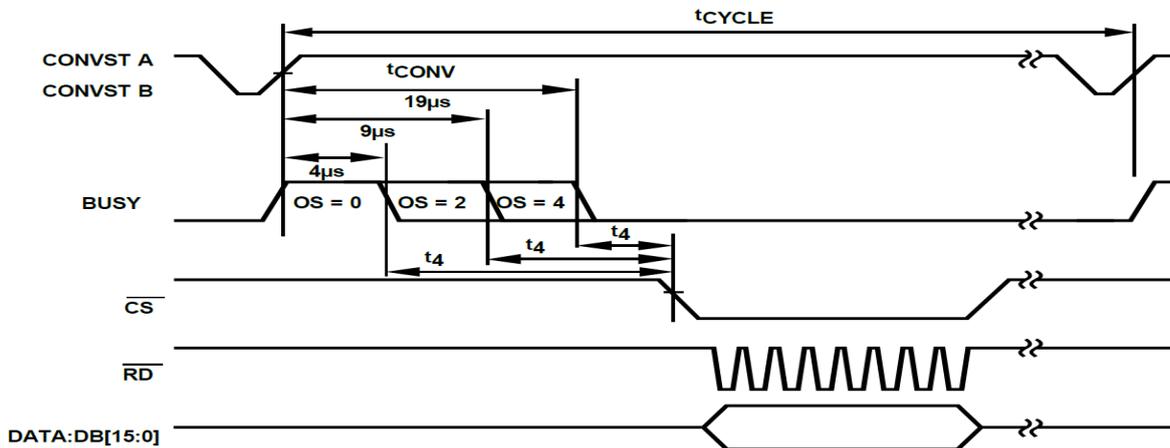


图 21 无过采样、2 倍过采样和 4 倍过采样，转换后读取

图 22 到图 28 说明了过采样对 DC 直方图中代码分布的影响。随着过采样率的增加，码的传播减小。当 ADCS8142LFP 选择过采样模式时，具有在 ADC 后添加数字滤波器功能的效果。不同的过采样率和 CONVST 采样频率产生不同的数字滤波器频率分布。

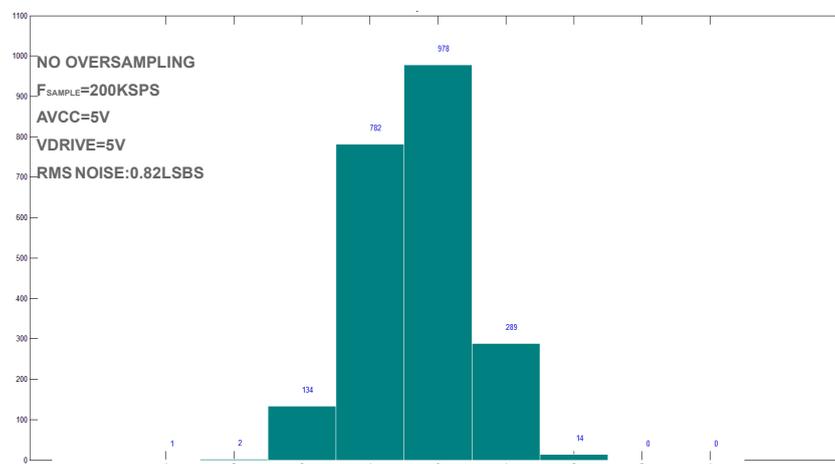


图 22. 直方图数据—No OS

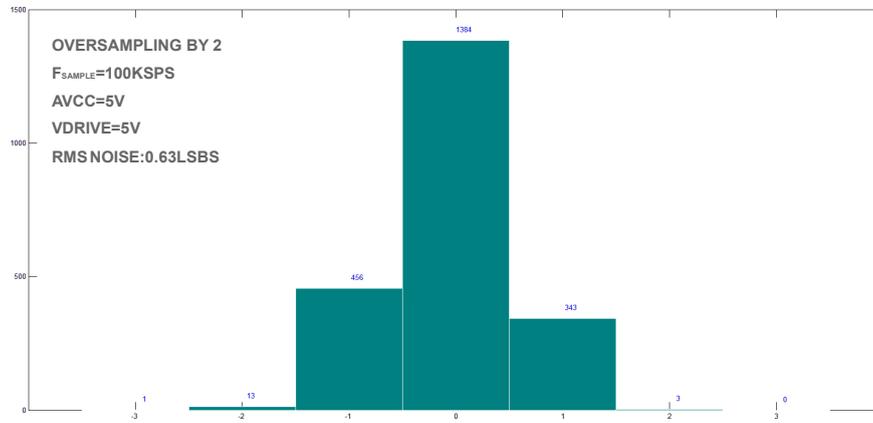


图 23. 直方图数据—OS × 2

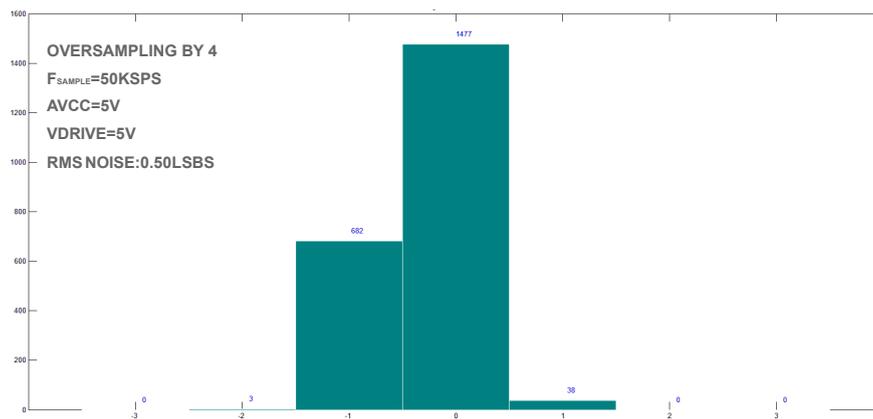


图 24. 直方图数据—OS × 4

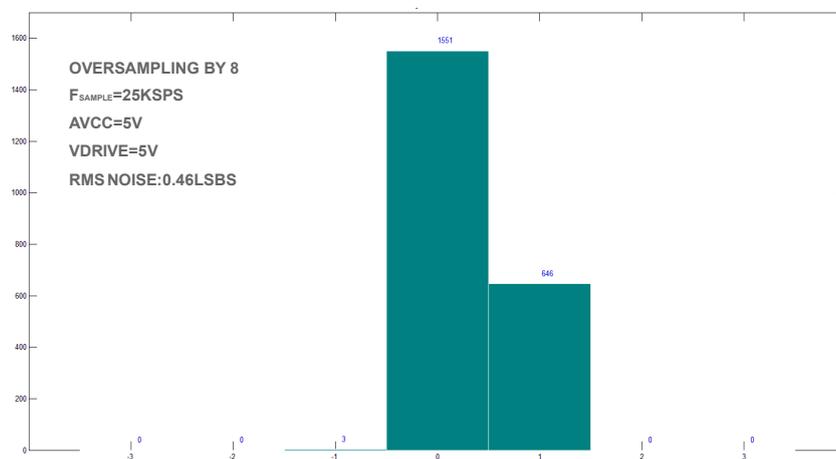


图 25. 直方图数据—OS × 8

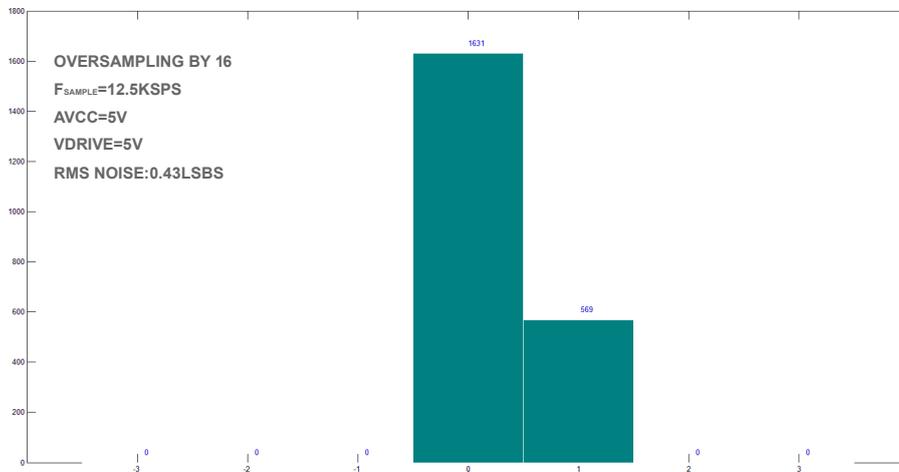


图 26. 直方图数据—OS × 16

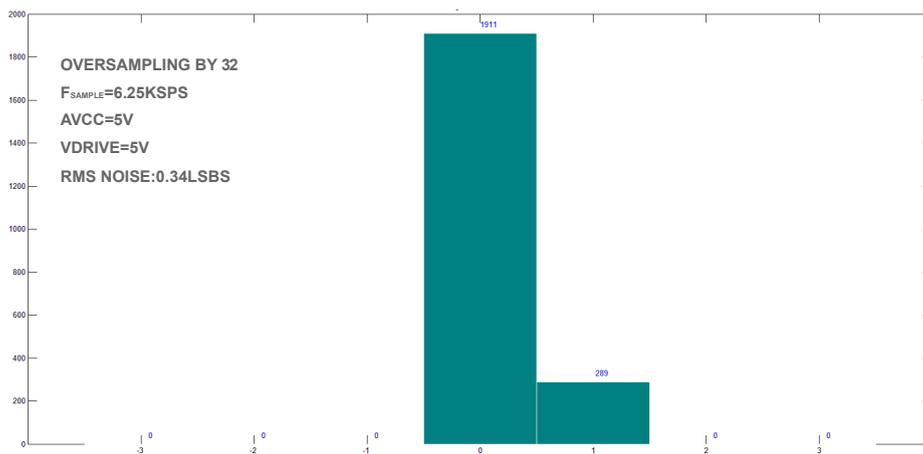


图 27. 直方图数据—OS × 32

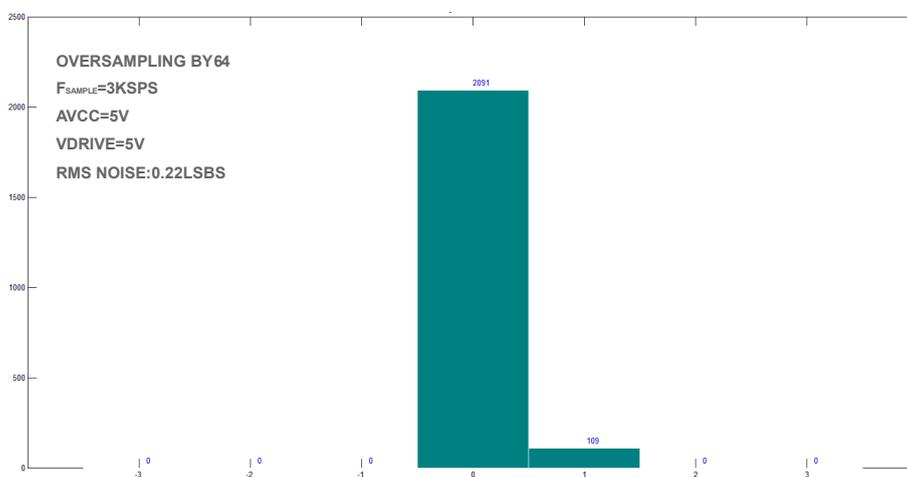


图 28 直方图数据—OS × 64

布局指南

在设计应用 ADCS8142LFP 的印刷电路板时, 应该将模拟和数字部分分开, 并限定在电路板的不同区域。应至少使用一个接地层。它可以是普通的或在数字和模拟部分之间分割。在分离平面的情况下, 数字和模拟地平面应该只在一个地方连接, 最好是尽可能接近 ADCS8142LFP。如果 ADCS8142LFP 在一个多个设备需要模拟-数字接地的系统中, 仍然应该在一个点进行连接。星形接地点应该建立在离 ADCS8142LFP 尽可能近的地方。应与地平面良好连接。避免多个接地引脚共用一个连接。对于每个接地引脚, 在接地面上使用单独或多个通道。

避免在设备下运行数字线路, 因为这样做会把噪声带到模具上。模拟地平面应允许在 ADCS8142LFP 下运行, 以避免噪声耦合。像 CONVST A、CONVST B 或时钟这样的快速开关信号应该用数字接地屏蔽, 以避免辐射噪声到电路板的其他部分, 而且它们不应该运行在模拟信号路径附近。避免数字和模拟信号的交叉。在板上接近的层上的痕迹应该运行在彼此的直角, 以减少馈通板子的影响。

ADCS8142LFP 上的 AVCC 和 VDRIVE 引脚的电源线路应该使用尽可能大的轨迹来提供低阻抗路径, 并减少电源线路上的小故障的影响。在可能的情况下, 使用电源平面, 并在 ADCS8142LFP 电源引脚和电路板上的电源轨道之间建立良好的连接。为每个电源引脚使用一个或多个通道。

良好的解耦对于降低 ADCS8142LFP 的电源阻抗和降低电源尖峰的幅度也很重要。去耦电容应该靠近(理想情况下, 正好对着)这些引脚和它们相应的接地引脚。将 REFIN/REFOUT 引脚和 REFCAPA 和 REFCAPB 引脚的去耦电容尽可能靠近各自的 ADCS8142LFP 引脚; 并且, 在可能的情况下, 它们应该放在与 ADCS8142LFP 设备相同的板上。

图 29 显示了 ADCS8142LFP 板顶层的推荐解耦。图 30 显示了底层解耦, 用于四个 AVCC 引脚和 VDRIVE 引脚解耦。AVCC 引脚的陶瓷 100nF 帽被放置在各自的器件引脚附近, 一个 100nF 电容可以在引脚 37 和引脚 38 之间共享。

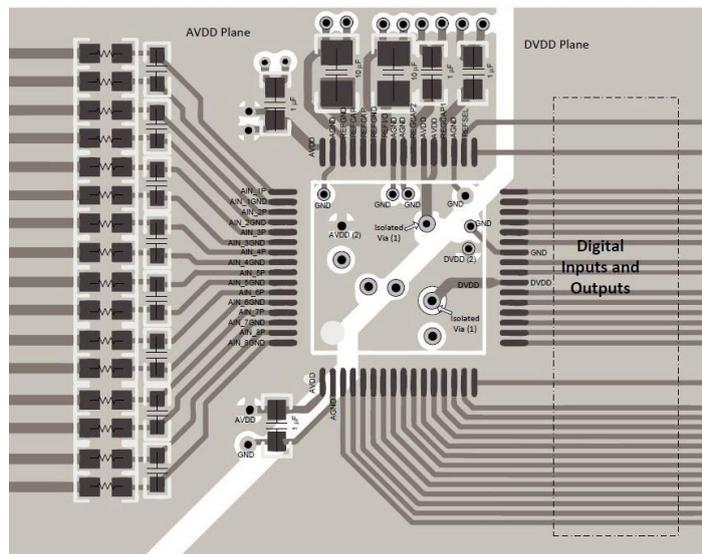


图 29 所有引脚的顶层布局

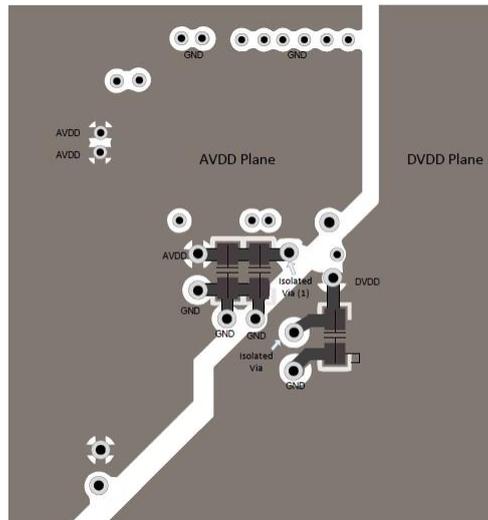


图 30 底层的布局

在一个包含多个 ADCS8142LFP 设备的系统中, 为了保证设备间的性能匹配, ADCS8142LFP 设备之间的对称布局非常重要。图 31 显示了带有两个 ADCS8142LFP 设备的布局。AVCC 电源平面在两台设备的右侧, VDRIVE 电源轨道在两台设备的左侧。参考芯片位于两个设备之间, 参考电压轨道向北到 U1 的引脚 42, 向南到 U2 的引脚 42。采用实心接地平面。这些对称布局原则也适用于包含两个以上 ADCS8142LFP 设备的系统。ADCS8142LFP 设备可以放置在南北方向, 参考电压位于设备和南北方向运行的参考轨道之间, 如图 31 所示。

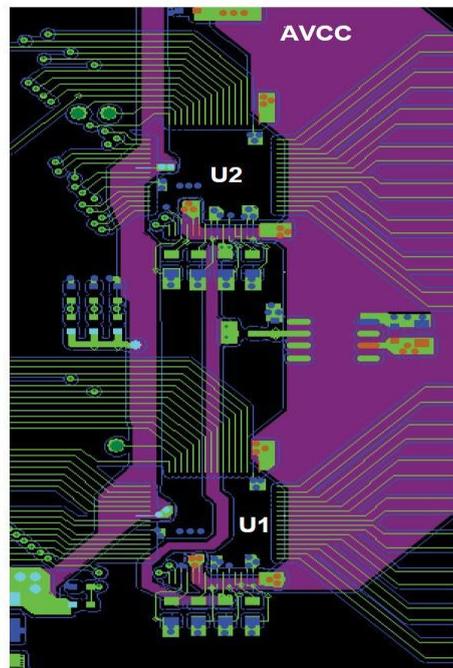
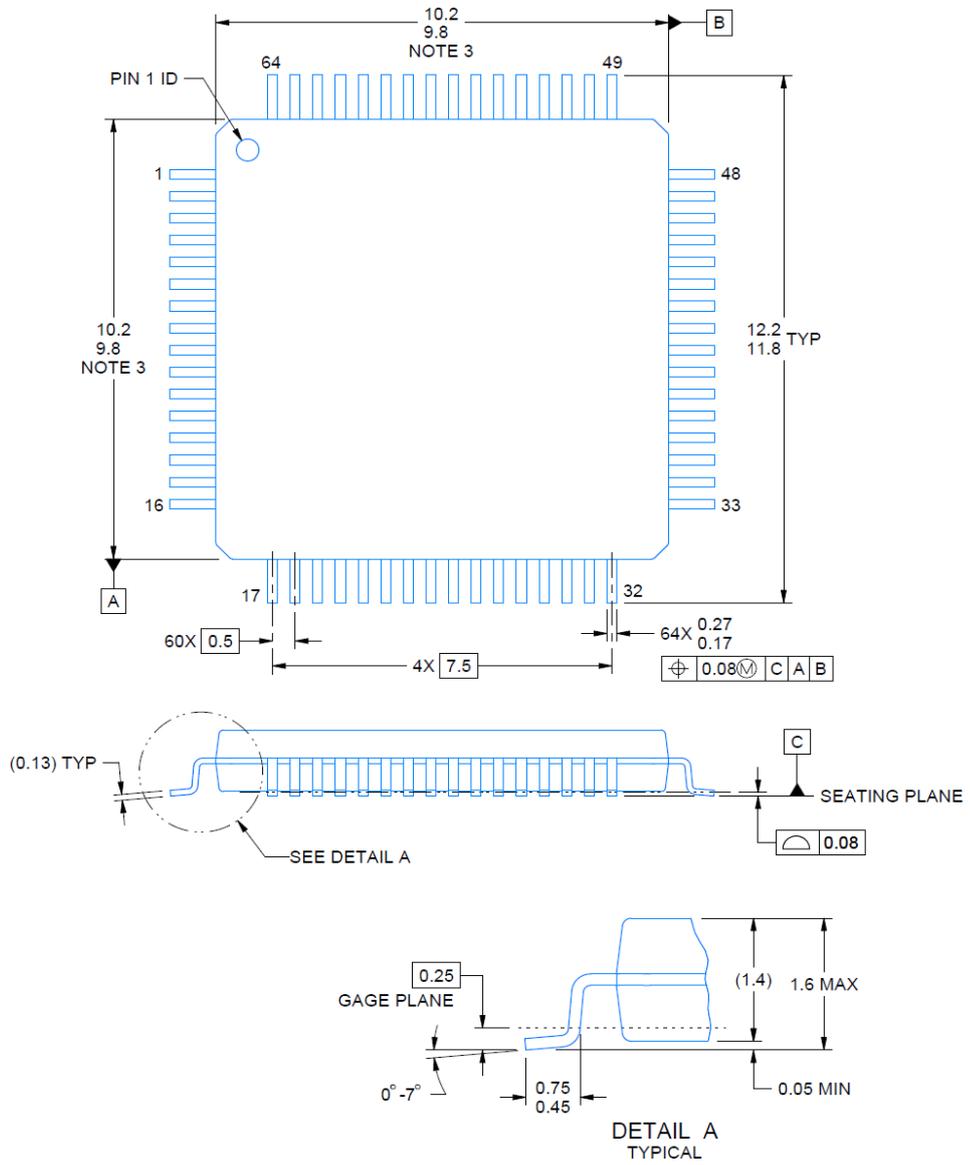
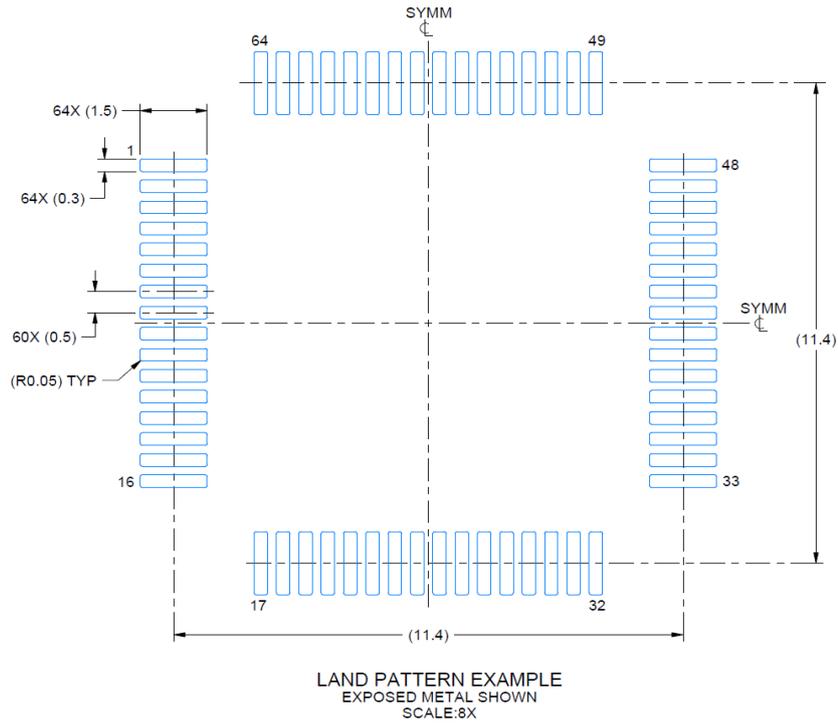


图 31 ADCS8142LFP 多器件布局-顶层和电源层

外形尺寸





订购信息

器件订购列表

产品型号	温度范围	封装	包装形式	ROHS
ADCS8142LFP	A	64-LQFP	Tray960	Y
ADCS8142MLFP	B	64-LQFP	Tray960	Y

备注 1:

温度编码信息定义: A for -40°C 到 85°C; B for -40°C 到 125°C; C for -40°C 到 150°C

包装信息定义: REEL 卷带包装 TRAY 托盘包装。